

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Hitoshi Takahashi

Application No.: to be assigned

: Group Art Unit: to be assigned

Filed: May 21, 2004

: Examiner: to be assigned

Title: OPERATION MODE CONTROL CIRCUIT, MICROCOMPUTER INCLUDING THE SAME AND CONTROL SYSTEM USING THE MICROCOMPUTER

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

Attached is a certified copy of corresponding Japanese Application No. 2004-017705, filed January 26, 2004 and Japanese Application No. 2003-204301, filed July 31, 2003. It is requested that the right of priority provided by 35 U.S.C. 119 be extended by the U.S. Patent and Trademark Office.

Respectfully submitted,



---

Edward A. Pennington, Reg. No. 32,588  
Swidler Berlin Shreff Friedman, LLP  
3000 K Street, NW, Suite 300  
Washington, DC 20007-5116  
Telephone: (202) 424-7500  
Facsimile: (202) 295-8478

Date: May 21, 2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日      2004年  1月26日  
Date of Application:

出願番号      特願2004-017705  
Application Number:

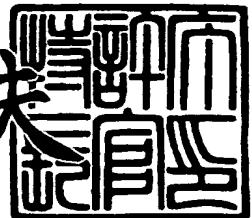
[ST. 10/C] :      [JP2004-017705]

出願人      富士通株式会社  
Applicant(s):

2004年  3月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 0340868  
【提出日】 平成16年 1月26日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G06F 12/14  
G06F 12/06  
G06F 11/30  
G06F 11/00  
G06F 15/78

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
内  
【氏名】 高橋 均

【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社

【代理人】  
【識別番号】 100072590  
【弁理士】  
【氏名又は名称】 井桁 貞一  
【電話番号】 044-754-2462

【先の出願に基づく優先権主張】  
【出願番号】 特願2003-204301  
【出願日】 平成15年 7月31日

【手数料の表示】  
【予納台帳番号】 011280  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9704486

**【書類名】特許請求の範囲****【請求項1】**

外部からのリセット信号によりリセットされ、制御プログラムにより処理を行うマイクロコンピュータであって、  
複数の動作モードを有する入出力回路と、  
制御信号発生部と、  
制御回路と、  
抑止回路とを備え、  
前記制御信号発生部は、前記制御プログラム中の動作モード設定ルーチンにより、書き込み信号を発生し、  
前記制御回路は、前記書き込み信号に応じて、前記入出力回路の動作モードを設定し、  
前記抑止回路は、前記制御回路が前記動作モードを設定した後は、前記外部からのリセット信号によりリセットされるまで、前記入出力回路の動作モードを再設定することを抑止し、  
前記入出力回路は前記制御回路が設定する動作モードにより、前記マイコンの外部との信号を入出力することを特徴とするマイクロコンピュータ。

**【請求項2】**

外部からのリセット信号によりリセットされ、制御プログラムにより処理を行うマイクロコンピュータに内蔵された動作モード制御回路であって、  
制御信号発生部と  
リセット後において前記制御信号発生部からの最初の第1の出力信号からに限って、前記第1の出力信号のバッファ信号を発生する書き込み抑止回路と  
前記書き込み抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の出力信号を保持する制御回路とを備え、  
前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

**【請求項3】**

請求項2に記載した動作モード制御回路であって、  
前記書き込み抑止回路が、  
前記制御信号発生部からの前記第1の出力信号に応答して、前記第1の出力信号のバッファ信号又は固定論理信号を出力するバッファ手段と、  
前記制御信号発生部からの前記第1の出力信号により保持し、保持状態を示す状態信号を出力する保持手段とを備え、  
前記バッファ手段が、さらに、前記保持手段からの前記状態信号を受ける入力端子を有し、  
前記状態信号が前記保持状態であることを示した場合は、前記固定論理信号を出力し、  
前記保持状態を示していない場合は、前記バッファ信号を出力することを特徴とする動作モード制御回路。

**【請求項4】**

制御プログラムにより処理を行うマイクロコンピュータに内蔵された動作モード制御回路であって、  
制御信号発生部と、  
前記制御信号発生部からの第1のデコード信号及び第2のデコード信号を連続して受けたときに限って、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を発生する書き込み抑止回路と、  
前記書き込み抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の信号を保持する制御回路とを備え、  
前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

**【請求項5】**

請求項4に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1のデコード信号及び、前記第2のデコード信号に応じて、第1の選択状態信号及び、第2の選択状態信号を出力するデコーダ回路と、

前記第1の選択状態信号を一方の入力端子に受ける第1のアンド回路と、

前記第2の選択状態信号を一方の入力端子に受ける第2のアンド回路と、

第3のアンド回路と、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1のアンド回路の出力信号を保持し、前記第2のアンド回路の他方の入力端子へ、第1のデータを出力する第1のフリップフロップ回路と、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第2のアンド回路の出力信号を保持し、前記第3のアンド回路の一方の入力端子へ、第2のデータを出力する第2のフリップフロップ回路と、

前記第2のデータを論理的に反転した第3の出力信号を、第1のアンド回路の他方の入力へ、出力するバッファ回路とを備え、

前記第1のアンド回路は前記第1の選択状態信号と前記第3の出力信号と論理積し、

前記第2のアンド回路は前記第2の選択状態信号と前記第1のデータと論理積し、

前記第3のアンド回路は前記第2のデータと前記第1の出力信号と論理積し、

前記制御回路は、前記第3のアンド回路からの出力信号に応答して、前記制御信号発生部からの前記第2の出力信号を保持する第3のフリップフロップ回路を備えたことを特徴とする動作モード制御回路。

#### 【請求項6】

制御プログラムにより処理を行うマイクロコンピュータに内蔵された動作モード制御回路であって、

少なくとも、制御信号発生部と、

前記制御信号発生部からの第1の出力信号に応答して、前記制御信号発生部からの第2の出力信号を保持し、保持した信号の論理値に応じた書込信号を発生する書込抑止回路と前記書込信号に応答して、前記制御信号発生部からの第3の出力信号を保持し、保持した信号の論理値に応じた制御信号を発生する制御回路とを備え、

前記制御信号発生部からの前記第2の出力信号の論理値に応じた前記書込信号は、一方は論理値が固定した信号であり、他方は前記制御信号発生部からの前記第1の出力信号のバッファ信号であって、

前記制御信号は、少なくともデータレジスタ回路を含む複数の信号発生回路の中から、外部へ信号を伝える信号発生回路を選択する選択回路へ、供給されることを特徴とする動作モード制御回路。

#### 【請求項7】

請求項6に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1の出力信号のバッファ信号又は固定した信号を出力するバッファ手段と、

前記バッファ信号に応答して、前記制御信号発生部からの前記第2の出力信号を保持し、前記第2の出力信号の論理値に応じた論理信号を出力する保持手段とを備え、

前記バッファ手段は前記保持手段からの論理信号を受け取り、一方の論理値に応じて前記固定した信号を出力し、他方の論理値に応じて前記バッファ信号を出力することを特徴とする動作モード制御回路。

#### 【請求項8】

少なくとも、請求項6又は請求項7に記載した動作モード制御回路と、

外部との信号の入出力を制御する信号入出力制御回路と、

前記動作モード制御回路からのデータレジスタ書込信号に応答して、前記動作モード制御回路からのデータ信号を保持するデータレジスタ回路と、

1つ以上の一定周期のクロックを発生可能なタイマ回路と、

前記動作モード制御回路からの前記第1の制御信号に応じて、前記データレジスタ回路又は前記タイマ回路を選択する選択回路とを備え、  
前記データレジスタ回路は、前記データ信号に応じた信号を、前記信号入出力制御回路へ出力することを特徴とするマイクロコンピュータ。

【請求項9】

制御プログラムにより処理を行うマイクロコンピュータに内蔵された動作モード制御回路であって、  
制御信号発生部と、  
初期化プログラム実行後において、所定の初期化ルーチン以前の段階を実行中であるときは、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を出力し、それ以外の時は、固定した信号を出力する書込抑止回路と、  
前記書込抑止回路からの出力信号に応答して、前記制御信号発生部からの前記第2の出力信号を保持する制御回路とを備え、  
前記制御回路は、保持された前記第2の出力信号に応じて、外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

【請求項10】

少なくとも、請求項2、請求項3、請求項4、請求項5又は請求項9に記載した動作モード制御回路と、  
外部との信号の入出力を制御する前記入出力制御回路と、  
前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデータレジスタ書込信号により、保持するデータレジスタ回路とを備え、  
前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回路へ出力することを特徴とするマイクロコンピュータ。

【請求項11】

少なくとも、ウォッチドッグと  
請求項1、請求項8、及び、請求項10に記載したマイクロコンピュータとを備え、  
前記マイクロコンピュータはさらに、監視信号を前記ウォッチドッグへ出力する監視信号出力ポートと  
前記ウォッチドッグからの第1のリセット信号を受け入れるリセット信号受入ポートと  
前記第1のリセット信号応じて、前記マイクロコンピュータの所定の回路への、第2のリセット信号を発生するリセット回路を有し、  
前記入出力制御回路からの出力が前記ウォッチドッグへの前記監視信号であって、  
前記ウォッチドッグは前記第1のリセット信号を前記マイクロコンピュータに出力することを特徴とする制御システム。

**【書類名】明細書**

**【発明の名称】**動作モード制御回路、動作モード制御回路を含むマイクロコンピュータ及びそのマイクロコンピュータを利用した制御システム

**【技術分野】****【0001】**

本発明は、制御プログラムにより処理を行うマイクロコンピュータであって、複数の動作モードを有する入出力回路を内蔵するマイクロコンピュータにおいて、前記入出力回路の動作モードを制御する動作モード制御回路、前記動作モード制御回路を内蔵したマイクロコンピュータ、及び、前記マイクロコンピュータとウォッチドッグタイマから構成される制御システムに関する。

**【背景技術】****【0002】**

マイクロコンピュータシステム等に対しては、劣悪な環境下でも、ウォッチドッグタイマによる監視機能が働き、動作が安定していることが要求されている。そして、前記システムを制御プログラムにより制御するマイクロコンピュータ（以下、通常のマイクロコンピュータ、マイクロコントロールシステム又は半導体制御装置、例えば、DSP(digital signal processor)等を総称してマイクロコンピュータという）であって、複数の動作モードを有する入出力回路を内蔵するマイクロコンピュータに対しては、制御プログラムにより、マイクロコンピュータの初期化時に設定された入出力回路の動作モードが安定している、マイクロコンピュータの入出力信号は、前記入出力信号に応じて動作する、マイクロコンピュータシステムの他のデバイスに与える影響が大きいからであり、その結果、マイクロコンピュータシステム全体動作も影響されるからである。

**【0003】**

従って、前記のマイクロコンピュータに内蔵されることにより、前記入出力回路の動作モードを、一旦設定したならば、前記動作モードを安定するように制御する回路が求められていた。

**【0004】**

そこで、以下に、図16～図18を用いて、マイクロコンピュータにおける入出力回路の動作制御、又は、ウォッチドッグタイマを利用する、マイクロコンピュータシステムの動作に係わる従来例を説明する。

**【0005】**

図16に示す車両用LANマイコンシステムは、マイコン602と、マイコンの動作を監視する外付けのLSIであるウォッチドッグタイマ605と、電源回路603と、ROM606と、入力I/F回路601と、VCCIION/OFF回路607と、VCCI613と、VCCI614と、低電圧リセット回路608と、通信LSI609と、遅延回路604と、多入力アンド回路615とから構成されている。

**【0006】**

上記の車両用LANマイコンシステムでは、マイコン602の動作を監視するウォッチドッグタイマ（以下「ウォッチドッグ」という）605を前記システムに搭載し、マイコン602が何らかの原因で、暴走状態となったときに、マイコン602に搭載されている監視信号発生回路からの信号が途絶えることを検出して、マイコンをリセットする仕組みとし、誤動作を防止している。（例えば、特許文献1）

また、図17に示すデータ処理装置は、シングルチップマイクロコンピュータであって、中央処理装置CPU701と、システムコントローラSYSC702と、割込コントローラINT704と、リードオンリメモリROM705と、ランダムアクセスメモリRAM706と、タイマ708と、シリアルコミュニケーションインターフェースSCI707と、第1から第8の入出力ポートIOP8(709)～1(716)、クロック発振器CPG703の機能ブロックから構成されている。

**【0007】**

そして、上記データ処理装置は、動作モード情報を保持するシステムコントローラSYSC702をシングルチップマイクロコンピュータ内部に有し、初期化動作において、不揮発性

記憶装置であるROM705に格納された情報を自動的に読み出し、動作モード情報を保持するシステムコントローラSYSC702へ、ソフトウェアでは制御されないコントロール信号で設定する。さらに、動作モード情報を保持するシステムコントローラSYSC702の動作モード情報は、初期化動作後の動作においては、CPU（中央処理装置）701のソフトウェアでは書き換えられない仕組みとすることにより、動作モードを誤って書き換えることを防止している。（例えば、特許文献2）

また、図18に示すマイクロコンピュータは、CPU801と、メモリ802と、プロテクト制御レジスタ804、アドレスデコーダ811～814、論理素子805～810、論理素子827を有するプロテクト制御回路830と、制御レジスタ815を有するクロック発生回路819と、制御レジスタ816を有する周辺ユニットA820と、制御レジスタ817を有する周辺ユニットB821と、制御レジスタ818を有する周辺ユニットC822とから構成されている。

#### 【0008】

そして、上記マイクロコンピュータは前記制御レジスタ815～818に対するデータの書き込みを許可するか、又は禁止するかの情報を制御レジスタ毎に前記プロテクト制御レジスタ804が保持し、書き込み動作が発生したときに書き込みの対象となっている前記制御レジスタを特定し、前記プロテクト制御レジスタ804の情報に応じて、前記プロテクト制御回路830が書き込み信号を制御する仕組みとすることによりプログラムの暴走等に起因する制御レジスタに対する誤書き込みを防止している。（例えば、特許文献3）

【特許文献1】特開平5-32142

【特許文献2】特開平8-63445

【特許文献3】特開平8-235073

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0009】

制御プログラムにより処理を行うマイクロコンピュータでは、マイクロコンピュータが複数の動作モードを有する入出力回路を内蔵する場合に、制御プログラムのみにより、動作モードを決定するのでは、制御プログラムにより、意図しない動作モードの再設定が起きることがある。一方、上記のような動作モードの再設定が起きないように、上記の動作モードの決定をマイクロコンピュータのハードウェアのみにより行う場合には、融通性、拡張性がなくなる問題があった。

#### 【0010】

例えば、従来のデータ処理装置では、マイコンの誤動作中に、動作モード等が、CPUのソフトウェアに起因する命令により書き換わることは防止できるが、ソフトウェアでは制御されないコントロール信号により、動作モード情報を保持するレジスタ手段を制御するため、不揮発性記憶装置に格納された情報でしか動作モードを設定できないということになり、融通性、拡張性がなくなるという問題があった。

#### 【0011】

また、従来のマイクロコンピュータでは、動作モードを決定する制御レジスタへの書き込みを許可するか、禁止するかを決定するプロテクト制御レジスタ及び動作モードを決定する制御レジスタを選択するプロテクト制御回路が大規模なハードウェアを必要とする問題があった。さらに、上記のマイクロコンピュータでは、マイクロコンピュータの暴走による動作モードを決定する制御レジスタの書き換えは、プロテクト回路で防止できるが、プロテクト制御レジスタはソフトウェアに起因する命令により書き換え可能であるため、まず、プロテクト制御レジスタがマイクロコンピュータの暴走時にソフトウェアに起因する命令で書換られ、その結果、動作モードを決定する制御レジスタが書き換え可能となり、意図しない動作モードに設定されるという問題点があった。

#### 【0012】

さらに、マイクロコンピュータシステム内蔵のマイクロコンピュータが制御プログラムに起因する命令により、入出力回路の入出力属性（例えば、入力モード、出力モードの切り換え）の切り換えや、A/D変換器又は16ビット長インターバルタイマ等の内蔵周辺機

能の内、どの内蔵周辺機能からの出力信号をマイクロコンピュータシステム外部へ出力するかを切り替え可能である。一方、マイクロコンピュータが暴走すると、マイクロコンピュータが自発的に発生している監視信号が途切れるので、監視信号の途切れを検出したマイクロコンピュータシステム内蔵のウォッチドッグからリセット信号が出て、マイクロコンピュータシステムの誤動作は防止される。

#### 【0013】

従って、暴走したマイクロコンピュータの命令により、マイクロコンピュータシステム外部に出力される内蔵周辺機能の出力信号に切り替えが起こり、監視信号に換わって、監視信号と相似なタイマ信号が出る場合には、ウォッチドッグは、監視信号の途切れを検出できなくなり、マイクロコンピュータの暴走状態を止めるリセット信号を発生しない。

#### 【0014】

そうすると、ウォッチドッグによる監視機能を内蔵しながら、マイクロコンピュータシステムの誤動作が防止されないという問題があった。

#### 【0015】

加えて、マイクロコンピュータは正常に動作している場合であって、かつ、マイクロコンピュータ内部のノイズ（外部からのノイズに呼応して発生した場合も含む）によって、マイクロコンピュータが、その発生を命令しないのに、動作モードの設定に係る命令が発生した場合に、その結果、ウォッチドックへの監視信号を出力する出力回路のモードが再生されることにより、ウォッチドックよりリセット信号が送られ、設定され、監視信号が途切れることにより、マイクロコンピュータがリセットされてしまう問題点もあった。

#### 【0016】

そこで、本発明は、制御プログラムにより処理を行うマイクロコンピュータであって、マイクロコンピュータが複数の動作モードを有する入出力回路を内蔵する場合に、上記の動作モードの融通性、拡張性を保ちながら、上記動作モードの意図しない再設定を抑止する動作モード制御回路、前記動作モード制御回路を内蔵したマイクロコンピュータ、前記動作モード制御回路、前記動作モード制御回路を内蔵したマイクロコンピュータから構成される制御システムを提供する。マイクロコンピュータとウォッチドックタイマから構成される制御システムを提供する。

#### 【課題を解決するための手段】

#### 【0017】

上記の問題を解決するため、請求項1に係るマイクロコンピュータは、外部からのリセット信号によりリセットされ、制御プログラムにより処理を行うマイクロコンピュータであって、

複数の動作モードを有する入出力回路と、

制御信号発生部と、

制御回路と、

抑止回路とを備え、

前記制御信号発生部は、前記制御プログラム中の動作モード設定ルーチンにより、書き込み信号を発生し、

前記制御回路は、前記書き込み信号に応じて、前記入出力回路の動作モードを設定し、

前記抑止回路は、前記制御回路が前記動作モードを設定した後は、前記外部からのリセット信号によりリセットされるまで、前記入出力回路の動作モードを再設定することを抑止し、

前記入出力回路は前記制御回路が設定する動作モードにより、前記マイクロコンピュータの外部との信号を入出力することを特徴とする。

請求項1の係るマイクロコンピュータによれば、前記制御回路が設定する動作モードを、前記制御信号発生部が、前記制御プログラムに基づいて設定可能である。しかし、その後は、リセット信号により、リセットされるまで、抑止回路の作用により、前記制御信号発生部からの書き込み信号、或いは、内部ノイズにより発生した書き込み信号により、動作モードを維持されるので、再設定できない効果がある。その結果、前記入出力回路の動作モードは維持されるので、

前記入出力回路がウォッチドックタイマへの監視信号を出力するものであった場合に、マイクロコンピュータの状態、例えば、正常、暴走等の状態を、そのまま反映した監視信号を出力できる効果がある。

上記課題を解決するため、請求項2に係る制御プログラムにより処理を行うマイクロコンピュータに内蔵された動作モード制御回路は、

#### 制御信号発生部と

初期化後において前記制御信号発生部からの最初の第1の出力信号からに限って、前記第1の出力信号のバッファ信号を発生する書込抑止回路と  
前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の出力信号を保持する制御回路とを備え、  
前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする。

#### 【0018】

請求項2に係る動作モード制御回路によれば、上記制御回路に保持された信号は、書込抑止回路の作用でマイクロコンピュータの自身によっては書換えができないので、マイクロコンピュータの状態（例えば、暴走状態であっても）いかんによらず、外部との信号の入出力を制御する回路の動作モードは維持される効果がある。

なお、請求項3に係る動作モード制御回路も、同様な効果を奏する。

次に、上記課題を解決するため、請求項4に係る制御プログラムにより処理を行うマイクロコンピュータに内蔵された動作モード制御回路は、

#### 制御信号発生部と、

前記制御信号発生部からの第1のデコード信号及び第2のデコード信号を連続して受けたときに限って、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を発生する書込抑止回路と、  
前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の信号を保持する制御回路とを備え、  
前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする。

#### 【0019】

請求項4に係る動作モード制御回路によれば、上記制御回路に保持された信号は、書込抑止回路への指定されたコードによる、連続デコードの確率は低いため、書込抑止回路の作用でマイクロコンピュータの自身によっては書換えの可能性が低くなる結果、マイクロコンピュータの状態（例えば、暴走状態であっても）いかんによらず、外部との信号の入出力を制御する回路の動作モードは維持される効果がある。

#### 【0020】

なお、請求項5も請求項4と同様な効果を奏する。

次に、上記課題を解決するため、請求項6に係る制御プログラムにより処理を行うマイクロコンピュータに内蔵された動作モード制御回路は、

#### 少なくとも、制御信号発生部と、

前記制御信号発生部からの第1の出力信号に応答して、前記制御信号発生部からの第2の出力信号を保持し、保持した信号の論理値に応じた書込信号を発生する書込抑止回路と、  
前記書込信号に応答して、前記制御信号発生部からの第3の出力信号を保持し、保持した信号の論理値に応じた制御信号を発生する制御回路とを備え、  
前記制御信号発生部からの前記第2の出力信号の論理値に応じた前記書込信号は、一方は論理値が固定した信号であり、他方は前記制御信号発生部からの前記第1の出力信号のバッファ信号であって、

前記制御信号は、少なくともデータレジスタ回路を含む複数の信号発生回路の中から、外部へ信号を伝える信号発生回路を選択する選択回路へ、供給されることを特徴とする。

#### 【0021】

請求項6に係る動作モード制御回路によれば、マイクロコンピュータ内部で、一つの入

出力制御回路に、選択回路を通じて、接続される周辺回路が複数ある場合に、書込抑止回路の作用により、所定の状態に選択回路への選択信号を設定した後は、コンピュータ自身では、その設定を書換えできない為、マイクロコンピュータの状態（例えば、暴走状態であっても）いかんによらず、前記選択回路の設定は維持される効果がある。

#### 【0022】

なお、請求項7に係る動作モード制御回路も同様な効果を奏する。  
 次に、上記課題を解決するため、請求項8に係るマイクロコンピュータは、少なくとも、請求項6及び請求項7に記載した動作モード制御回路と、外部との信号の入出力を制御する信号入出力制御回路と、前記動作モード制御回路からのデータレジスタ書込信号に応答して、前記動作モード制御回路からのデータ信号を保持するデータレジスタ回路と、1つ以上の一定周期のクロックを発生可能なタイマ回路と、前記動作モード制御回路からの前記第1の制御信号に応じて、前記データレジスタ回路又は前記タイマ回路を選択する選択回路とを備え、前記データレジスタ回路は、前記データ信号に応じた信号を、前記信号入出力制御回路へ出力することを特徴とする。

#### 【0023】

請求項8に係るマイクロコンピュータには、マイクロコンピュータ内部に入出力信号を制御するデータレジスタ回路とタイマ回路があった場合に、それらの回路を選択するため動作モード制御回路から選択回路へ供給される設定値が、書込抑止回路の作用により、マイクロコンピュータ自身では書換えができないという効果がある。従って、マイクロコンピュータの状態（例えば、暴走状態であっても）いかんによらず、常にデータレジスタ回路の出力が入出力制御回路に接続されるという効果がある。  
 次に、上記課題を解決するため、請求項9に係る制御プログラムにより処理を行うマイクロコンピュータに内蔵された動作モード制御回路は、

制御信号発生部と、初期化プログラム実行後において、所定の初期化ルーチン以前の段階を実行中であるときは、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を出力し、それ以外の時は、固定した信号を出力する書込抑止回路と、前記書込抑止回路からの出力信号に応答して、前記制御信号発生部からの前記第2の出力信号を保持する制御回路とを備え、前記制御回路は、保持された前記第2の出力信号に応じて、外部との信号の入出力制御回路の動作モードを設定することを特徴とする。

#### 【0024】

請求項9に係る動作モード制御回路によれば、初期化ルーチン中に上記制御回路に保持された信号は、書込抑止回路の作用でマイクロコンピュータの自身によっては書換えができないので、マイクロコンピュータの状態（例えば、暴走状態であっても）いかんによらず、外部との信号の入出力を制御する回路の動作モードは維持される効果がある。

次に、上記課題を解決するため、請求項10に係るマイクロコンピュータは、少なくとも、請求項2、請求項3、請求項4、請求項5及び請求項9に記載した動作モード制御回路と、

外部との信号の入出力を制御する信号入出力制御回路と、前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデータレジスタ書込信号により、保持するデータレジスタ回路とを備え、前記データレジスタ回路は、前記データ信号に応じた信号を、前記信号入出力制御回路へ出力することを特徴とする。

#### 【0025】

請求項10に係るマイクロコンピュータには、上記制御回路に保持された、信号入出力制御回路の動作モードを設定する信号は、書込抑止回路の作用でマイクロコンピュータの自身によっては書換えができないので、マイクロコンピュータの状態（例えば、暴走状態

であっても）いかんによらず、外部との信号の入出力を制御する回路の動作モードは維持される効果がある。

次に、上記課題を解決するため、請求項11に係る制御システムは少なくとも、ウォッチドッグと

請求項1、請求項8、及び、請求項10に記載したマイクロコンピュータとを備え、前記マイクロコンピュータはさらに、監視信号を前記ウォッチドッグへ出力する監視信号出力ポートと

前記ウォッチドッグからの第1のリセット信号を受け入れるリセット信号受入ポートと前記第1のリセット信号応じて、前記マイクロコンピュータの所定の回路への、第2のリセット信号を発生するリセット回路を有し、

前記入出力制御回路からの出力が前記ウォッチドッグへの前記監視信号であって、前記ウォッチドッグは前記第1のリセット信号を前記マイクロコンピュータに出力することを特徴とする。

#### 【0026】

請求項11に記載した制御システムによれば、マイクロコンピュータからウォッチドッグへ出力される監視信号が、常にマイクロコンピュータ本体の動作に起因して発生されるので、監視信号の発生の途絶え又は継続は、常にマイクロコンピュータ本体の状態を反映したものとなる効果がある。従って、マイクロコンピュータのウォッチドッグによる監視したものが適正に行われ、マイクロコンピュータの暴走が確実に防止され、制御システム全体の誤動作が防止されるという効果がある。また、マイクロコンピュータは正常である場合に、動作が防止されるという効果がある。また、マイクロコンピュータの内部ノイズ（外部から誘起された場合も含む）により、監視信号がウォッチドックへ出力されないということがない。

#### 【発明の効果】

#### 【0027】

本発明によれば、以下の効果がある。  
マイクロコンピュータ内部において、マイクロコンピュータの動作モード、例えば、周辺機能回路とI/O(Input/Output)バッファとの接続の設定、I/Oバッファの動作モード等の設定は、動作モード設定期間に、マイクロコンピュータの制御プログラムによって、状況に応じて、設定可能という効果がある。

#### 【0028】

一方、動作モード設定期間に設定した動作モードの設定は、マイクロコンピュータ内部の動作モード制御回路の効果により、外部からリセットされるまで、マイクロコンピュータの状態（例えば、暴走状態であっても）いかんによらず再設定できないという効果がある。

#### 【0029】

従って、周辺機能回路の一種であるウォッチドックタイマ用の監視信号発生回路と監視信号出力ポートのI/Oバッファの接続の設定、及び、前記I/Oバッファの動作モードに対して、上記動作モード制御回路を適用すると、マイクロコンピュータの状態いかんによらず、動作モード設定期間に設定された上記の設定は、外部からのリセット信号によりリセットされるまで、保持されるという効果がある。  
その結果、ウォッチドックタイマは、高い信頼性をもって、マイクロコンピュータの暴走状態の検出を行うことができる効果がある。

#### 【発明を実施するための最良の形態】

#### 【0030】

発明を実施する最良の形態に係るマイクロコンピュータ（以下、通常のマイクロコンピュータ、マイクロコントロールシステム又は半導体制御装置、例えば、DSP(digital signal processor)等を総称してマイクロコンピュータという）について、以下に説明する。上記のマイクロコンピュータは、制御信号発生部を含むCPU（中央処理装置）と、出力データレジスタと、動作モード制御回路と、タイマと、セレクタと、複数の動作モードを有するI/Oバッファとを備えている。また、動作モード制御回路は、オア回路と、周辺選択

レジスタと、入出力制御レジスタと、書き込み抑制回路を備えている。

**【0031】**

そして、前記CPUはマイクロコンピュータの制御プログラムにより、それ以外の制御回路を制御している。また、前記CPUは前記制御プログラム中の動作モード設定ルーチンにより、制御信号発生部を通じて、動作モードを設定するために、入出力制御レジスタ、周辺選択レジスタ等の動作モード設定に関するレジスタへ書き込み信号を発生する。

**【0032】**

前記出力データレジスタは、CPUから、I/Oバッファを通じて、マイクロコンピュータ外部へ出力するデータの一時格納場所である。

**【0033】**

前記タイマは、周辺機能回路の具体例であって、マイクロコンピュータが外部装置をコントロールする為の一定のインターバルを示す信号を発生する。

**【0034】**

前記セレクタは、周辺選択レジスタからの信号の論理値に応じて、出力データレジスタの出力又はタイマからの出力のうち、一方を選択して、I/Oバッファに接続する回路である。

**【0035】**

前記動作モード制御回路は、前記周辺選択レジスタを通じて、前記セレクタの選択を制御する。また、前記入出力制御レジスタ及び前記オア回路を通じて、I/Oバッファの動作モードを制御する。そして、前記動作モード制御回路を構成する回路は、以下のように動作する。

**【0036】**

前記周辺選択レジスタは、前記書き込み信号に応じて、前記出力データレジスタの出力を前記I/Oバッファに接続する為の信号を前記セレクタと前記オア回路に出力する。

**【0037】**

前記入出力制御レジスタは前記I/Oバッファの動作モードを設定する信号を、前記オア回路へ出力する。

**【0038】**

前記オア回路には、前記周辺選択レジスタの出力と前記入出力レジスタの出力が入力されている。前記オア回路は、前記周辺選択レジスタからの信号の論理値が“0”であるときは、論理値“0”を出力し、一方、前記周辺選択レジスタからの信号の論理値が“1”であるときは、前記入出力制御レジスタの信号と同様な論理値を出力する。

**【0039】**

前記書き込み抑制回路は、前記周辺選択レジスタが前記出力データレジスタの出力を前記I/Oバッファに接続する為の論理値“0”的信号を前記セレクタと前記オア回路に出力し、前記オア回路から論理値“0”的信号が出力され、前記I/Oバッファの動作モードを設定した後は、外部からのリセット信号によりリセットされるまで、前記入出力回路の動作モードを再設定することを抑止する。

**【0040】**

前記複数の動作モードを有するI/Oバッファは前記オア回路からの信号の論理値により設定される動作モードにより、前記マイクロコンピュータの外部との信号を入出力する。ここで、論理値“0”に対応する動作モードは出力モード、論理値“1”に対応する動作モードは入力モードである。

**【0041】**

発明を実施する最良の形態によれば、CPUの制御プログラム中の動作モード設定ルーチンが動作している間は、出力データレジスタの出力をI/Oバッファに接続する設定、及びI/Oバッファの動作モードを、ソフトウェアにより設定可能である。しかし、動作モード設定ルーチン終了後は、前記動作モード制御回路及び前記動作モード制御回路を構成する書込み抑制回路の効果により、外部からのリセット信号によりリセットされるまでは、前記I/Oバッファの動作モードの設定及び出力データレジスタとI/Oバッファの接続の設定を

再設定することは抑止される。従って、CPUが暴走した結果、予期しないソフトウェアが動作しても、上記の設定は維持される。

#### 【第1の実施形態】

##### 【0042】

図1～図4を用いて第1の実施形態について、説明する。

##### 【0043】

まず、図1に示すマイクロコンピュータ850は、制御信号発生部861を含むCPU（中央処理装置）860と、RAM(Random Access Memory)851と、ROM(Read Only Memory)852と、動作モード検出回路853と、出力データレジスタ855と、リセット回路870と、動作モード制御回路862と、タイマ854と、セレクタ856と、インプットバッファ864と、I/O(Input/Output)バッファ867と、データバス863と、リセット信号871と、動作モード設定ポート865と、監視信号出力ポート866と、リセット信号受け入れポート869を備えている。また、動作モード制御回路862は、オア回路868と、周辺選択レジスタ857と、入出力制御レジスタ858と、書込抑止回路859を備えている。

##### 【0044】

そして、監視信号出力ポート866は、マイクロコンピュータ850からウォッチドックタイマへの監視信号を出力するポートである。ここで、ウォッチドックタイマは、上記の監視信号の出力タイミング、すなわち、監視信号間の間隔、或いは、単位時間あたりの出力回数等を監視し、マイクロコンピュータ850内部のCPU860が正常動作をしているか否かを判断する、外付け回路である。

##### 【0045】

次に動作モード設定ポート865は、マイクロコンピュータ850の動作モードを決定する期間に、マイクロコンピュータ850外部からの動作モードを決定する外部入力信号を受け入れるポートである。

##### 【0046】

次にリセット信号受け入れポート869は、ウォッチドックタイマが、マイクロコンピュータ850内部のCPU860が誤動作、あるいは、暴走状態であると判断したときに発生するリセット信号を受けるポートである。また、マイクロコンピュータ850を初期化するために入力する、マイクロコンピュータ850外部からのリセット信号(以下「マイクロコンピュータ850外部からのリセット信号」という)を受け入れるポートでもある。すなわち、「外部からのリセット信号」には、「ウォッチドックタイマからのリセット信号」、及び、「マイクロコンピュータ850を初期化するために入力する、「マイクロコンピュータ850外部からのリセット信号」が含まれる。

##### 【0047】

そして、CPU860はマイクロコンピュータ850の制御プログラムにより、マイクロコンピュータ850全体を制御する中央処理装置である。また、制御信号発生部861は、CPU860内部にあって、CPU860以外の回路の動作モード決定に関する、マイクロコンピュータ850の内部回路を制御する信号の発生部分である。

##### 【0048】

また、RAM851、ROM852は、例えば、制御プログラムや設定条件の格納場所やマイクロコンピュータ850内の機能回路間で受け渡されるデータの一時格納場所の役割を果たす。

##### 【0049】

加えて、データバス863はマイクロコンピュータ850内の機能回路間で受け渡されるデータが通過するバスである。ここで、データバス863は、CPU860が接続されている、いわゆる共通バスを含むが、CPU860が接続されていらず、CPU860以外の機能回路間に存在するバスも含む。

##### 【0050】

また、リセット回路870は、「ウォッチドックタイマからのリセット信号」、又は、「マイクロコンピュータ850外部からのリセット信号」に応じて、マイクロコンピュータ850内部の回路への内部リセット信号904、又は、リセット信号871を発生させ、マイクロコン

ピュータ850内部の関係する各回路をリセットする。ここで、上記のリセット信号871は、CPU860の他、リセットが必要な関係回路へ接続されている。

#### 【0051】

さらに、動作モード検出回路853は、マイクロコンピュータ850の動作後に、動作モードを決定する期間に、動作モード設定ポート865に与えられた入力状態を判定する回路である。

#### 【0052】

次に、I/Oバッファ867は、マイクロコンピュータ850の外部にデータを出力する出力回路とマイクロコンピュータ850の外部からデータを受け入れる入力回路とをかね備え、例えれば、入力モード、出力モード、そのどちらでもないモード等の複数の入出力モードを有することができるものであるが、動作モード設定端子を有し、論理値“0”の信号を受けた時に出力モード、論理値“1”を受けた時に入力モードに設定されることが、本実施例では望ましい。

#### 【0053】

加えて、出力データレジスタ855は、CPU860から、I/Oバッファ867を通じて、マイクロコンピュータ850外部へ出力するデータの一時格納場所である。そして、出力データレジスタ855は、格納したデータを所定のタイミングで、I/Oバッファ867へ引き渡しをする。従って、前記I/Oバッファ867が、マイクロコンピュータ850からウォッチドックタイマへのデータを出力する監視信号出力ポート866へ接続されている場合、出力データレジスタ855は、マイクロコンピュータ850からウォッチドックタイマへのデータを一時格納し、CPU860の制御により、CPU860が正常動作をしている証拠となる、所定のタイミングを形成する。

#### 【0054】

次に、タイマ854は、周辺機能回路の具体的な例であり、マイクロコンピュータ850が外部装置をコントロールする為の一定のインターバルを示す信号を発生する回路である。

#### 【0055】

また、セレクタ856は、周辺選択レジスタ857からの信号の論理値に応じて、出力データレジスタ855からの出力、又は、タイマ854からの出力の内、一方を選択して、I/Oバッファ867へ接続する回路である。すなわち、周辺選択レジスタ857からの信号の論理値が“0”であるときは、出力データレジスタ855からの出力を選択し、周辺選択レジスタ857からの信号の論理値が“1”であるときは、タイマ854からの出力を選択する。

#### 【0056】

加えて、動作モード制御回路862は、上記I/Oバッファ867の入出力モードの制御及び上記セレクタ856に対して選択を指示する回路であって、動作モード制御回路862を構成する回路は、以下のように動作する。

#### 【0057】

入出力制御レジスタ858は、入出力モードを設定する信号を保持する回路であって、保持している信号と同一の論理値を示す信号を、オア回路868へ出力する。

#### 【0058】

また、周辺選択レジスタ857は、上記セレクタ856に対して、選択を指示する信号を保持する回路であって、保持する信号と同一の信号をセレクタ856と、オア回路868に出力する。

#### 【0059】

さらに、書込抑止回路859は、「マイクロコンピュータ850外部からのリセット信号」又は「ウォッチドックタイマからのリセット信号」により、リセットされるまで、セレクタ856に対して選択を指示する信号の周辺選択レジスタ857への再書き込みを、抑止する。

#### 【0060】

加えて、オア回路868は、周辺選択レジスタ857からのセレクタ856に対する、選択を指示する信号が論理値“0”であるとき、すなわち、セレクタ856が出力データレジスタ855からの出力信号を選択しているとき、論理値“0”的信号を出力する。その結果、I/Oバ

バッファ867は出力モードに設定される。

#### 【0061】

一方、オア回路868は、周辺選択レジスタ857からのセレクタ856に対する、選択を指示する信号が論理値“1”であるとき、すなわち、セレクタ856がタイマ854からの出力信号を選択しているとき、入出力制御レジスタ858からの信号に応じた論理値を出力する。その結果、I/Oバッファ867は、入出力制御レジスタ858からの信号の論理値に応じた入出力モードに設定される。

#### 【0062】

従って、以上に説明した動作モード制御回路862は、マイクロコンピュータ850の動作モード設定期間に、上記出力データレジスタ855からの出力信号をI/Oバッファ867に接続し、接続されたI/Oバッファ867の動作モードの設定をする。そして、動作モードの設定、及び、接続されたI/Oバッファ867の動作モードの設定をする。動作モード制御回路862を構成する書き込み抑制回路859の働きにより、動作モード制御回路862は、出力データレジスタ855の出力をI/Oバッファ867へ接続し、I/Oバッファの動作モードを出力モードに設定した後は、「マイクロコンピュータ850外部からのリセット信号」又は「ウォッチドッグタイマからのリセット信号」により、リセットされるまで、上記の設定が再設定されるのを抑止する。

#### 【0063】

また、インプットバッファ864は、動作モード設定ポート865に入力された信号を動作モード検出回路853に伝える信号バッファ回路である。

#### 【0064】

次に、図2に示すマイクロコンピュータ850の制御プログラムは、初期化モジュール903と、モード設定モジュール909と、表示制御モジュール910と、ウォッチドッグタイマモジュール905と、タスク制御モジュール907と、周辺機能に対応した周辺機能1モジュール906と、周辺機能2モジュール908を少なくとも備えている。そして、上記マイクロコンピュータ850の制御モジュールは、「マイクロコンピュータ850外部から入力される外部リセット信号900」、又は、「ウォッチドッグタイマからのリセット信号902」の入力を契機としてリセットされる。また、監視信号901は、ウォッチドッグタイマモジュール905が動作した結果発生する信号である。さらに、内部リセット信号904は、初期化モジュール903が起動したため、ウォッチドッグタイマモジュール905から発生する信号である。

#### 【0065】

そして、制御プログラムの各モジュールは、CPU850が行う一回まりのルーチンと対応している。

#### 【0066】

従って、制御プログラムの一部であるモード設定モジュール909の実行中は、例えば、動作モード設定ポート865からの設定信号を、動作モード検出回路853にて検出し、CPU860からの制御により、動作モード制御回路862が、セレクタ856の選択の設定、I/Oバッファ867の動作モードの設定をする。

#### 【0067】

また、制御プログラムの一部であるウォッチドッグタイマモジュール905を実行中は、例えば、出力データレジスタ885は、CPU860からのデータを受け取り、I/Oバッファ867は出力データレジスタ855からの出力を、監視信号901として、マイクロコンピュータ850の監視信号出力ポート866から、出力する。そして、ウォッチドッグタイマからのリセット信号902をマイクロコンピュータ850が受け取ると、内部リセット信号904を発生させ、初期化モジュール903を起動する。

#### 【0068】

すなわち、CPU860が正常動作をしていれば、所定の信号が、所定のタイミングで、監視信号901として出力されるため、まったく、所定の信号が出力されない場合、又は、所定の信号が、所定のタイミングで出力されない場合は、CPU860が誤動作を起こしていることが認知できる。

#### 【0069】

ここで、「ウォッチドックタイマからのリセット信号902」と「マイクロコンピュータ850外部からのリセット信号900」はリセット信号受入ポート869で受けることを第1の実施形態では想定しており、「ウォッチドックタイマからのリセット信号902」と「マイクロコンピュータ850外部からのリセット信号900」の区別はリセット回路870が各々の信号の特徴に従って行っている。また、その場合、発生される内部リセット信号904と図1に図示されているリセット信号871は、CPU860を含む同様な関係回路に供給される。しかし、「マイクロコンピュータ850外部からのリセット信号900」は別々のポートからマイクロコンピュータ850へ入力されることであつてもよい。さらに、「ウォッチドックタイマからのリセット信号902」と「マイクロコンピュータ外部からのリセット信号900」を区別して扱わなくてもよく、その場合は、図3のウオッチドックの制御プログラムのフローチャート概略図に示すエントリーポイントであるウオッチドックタイマからのリセット915とリセットエントリー916は、図3のウオッチドックタイマモジュール918へ、統合して、接続することになる。また、図2においては、初期化モジュール903へ入力される「マイクロコンピュータ850外部リセット信号900」と「ウォッチドックからのリセット信号902」は、図2のウォッチドックタイマモジュール905へ入力される「外部からのリセット信号」に統合される。

#### 【0070】

さらに、制御プログラムの一部であるタスク制御モジュール907実行中は、所定のアルゴリズムにより、各種のモジュールを実行するタイミングを決定する。

#### 【0071】

加えて、制御プログラムの一部である初期化モジュール903は、「マイクロコンピュータ850外部からのリセット信号900」が入力されると、最初に実行され、マイクロコンピュータ850の状態を所定の初期状態に設定する。

#### 【0072】

また、制御プログラムの一部である表示モジュール910実行中は、マイクロコンピュータ850内部の、あるいは、マイクロコンピュータ850が制御している装置の状態について、マイクロコンピュータ850が、制御する外部表示装置上に、所定の状態を表示する信号を発生する。

#### 【0073】

加えて、制御プログラムの一部である周辺機能1モジュール906、周辺機能2モジュール908等の周辺機能に関するモジュールの実行中は、マイクロコンピュータ850内のタイマ854等の周辺機能回路を動作させる。

#### 【0074】

次に、図3にマイクロコンピュータ850の制御プログラムのフローチャートの概略を示す。プログラムが正常に動作した場合、「マイクロコンピュータ850外部からのリセット信号900」がはいると、マイクロコンピュータ850の制御プログラムは、リセットエントリー916し、初期化モジュール917、モード設定モジュール923の実行の後、タスク制御モジュール921を実行する。また、タスク制御モジュール921の実行中に所定のアルゴリズムにより、周辺機能制御モジュール925やウォッチドックタイマモジュール918が実行される。一方、制御プログラムが正常に動作しなくなると、すなわち、CPU860が暴走すると、制御プログラムは所定のアルゴリズムで動作せず、例えば、ウォッチドックタイマモジュール918が所定のタイミングで動作しなくなる状態、或いは、まったくウォッチドックタイマモジュール918が動作しなくなる状態となる。その場合は、「ウォッチドックタイマからのリセット信号902」により、ウォッチドックタイマからのリセットエントリー915からウォッチドックタイマモジュール918が起動されることとなる。

#### 【0075】

次に、図4にマイクロコンピュータ850の制御プログラムを構成するモード設定モジュール923のフローチャートの概略を示す。すなわち、モード設定モジュール923が、モード設定向け入力状態の認識のステップ、周辺選択レジスタ857へのデータを出力するステップ、周辺選択レジスタ857へのデータを保持させるステップ、入出力制御レジスタ858への

データを出力するステップ、入出力制御レジスタ858へのデータを保持させるステップを少なくとも含む点が図示されている。そして、「マイクロコンピュータ850外部からのリセット信号」又は「ウォッチドックタイマからのリセット信号」により書込抑止回路859の抑止が解除された後、上記モード設定向け入力状態の認識のステップで認識した動作モードに対応して、周辺選択レジスタ857、及び、入出力制御レジスタ858へ所定のデータを保持させることにより、マイクロコンピュータ850の動作モードは設定され、書込抑止回路859が有する機能により抑止が開始する。

#### 【0076】

そこで、第1の実施形態のマイクロコンピュータ850は、CPU860の状態（例えば、暴走状態であっても）によらず、マイクロコンピュータ850の動作モードを設定した後、「マイクロコンピュータ850外部からのリセット信号900」又は「ウォッチドックタイマからのリセット信号902」により、機能が解除されるまで、周辺機能の選択を指示する信号を、周辺選択レジスタ857へ再書込することを抑止するため、周辺選択レジスタ857の周辺機能を選択する信号の設定、及び、前記I/Oバッファ867の動作モードの設定を再設定しないという効果を有する。

#### 【0077】

すなわち、マイクロコンピュータ850の動作モード設定期間に、制御プログラムにより制御されたCPU860が、前記出力データレジスタ855を、前記I/Oバッファ867を通じて、監視信号出力ポート866へ接続する設定、及び、前記I/Oバッファ855の入出力モードを、出力モードとする設定をした後は、マイクロコンピュータ850の動作モードは固定される。

#### 【0078】

従って、CPU860が暴走状態となっても、タイマ854からの出力がI/Oバッファ867に接続されるように選択を指示する信号が、周辺選択レジスタ857に保持されることではなく、マイクロコンピュータ850からウォッチドックタイマへの監視信号が、正常な監視信号と相似なタイマ854からの信号に置き換わることもない。

#### 【0079】

その結果、常に、CPU860の状態を反映した信号が、監視信号出力ポート866からマイクロコンピュータ850外部へ出力されるため、ウォッチドックタイマは、高い信頼性をもつて、CPU860の暴走状態の検出を行うことができる。

### 【第2の実施形態】

#### 【0080】

まず、図5に示すマイクロコンピュータ880は、制御信号発生部891を含むCPU（中央処理装置）890と、RAM881と、ROM882と、動作モード検出回路883と、出力データレジスタ885と、リセット回路889と、動作モード制御回路886と、周辺機能回路884と、インプットバッファ893と、アウトプットバッファ899と、I/Oバッファ897と、周辺機能回路用ポート895と、動作モード設定ポート894と、監視信号出力ポート896と、リセット信号受け入れポート898と、データバス892と、リセット信号879とを備えている。また、動作モード制御回路886は、入出力制御レジスタ887と、書込抑止回路888を備えている。

#### 【0081】

ここで、第1の実施形態のマイクロコンピュータ850と比較すると、第2の実施形態に係るマイクロコンピュータ880では、周辺機能回路の具体例であるタイマ854にかわって、タイマ854を含む一般的な周辺機能回路884が構成要素となっている点、周辺機能回路884からの出力は周辺機能回路用ポート895からマイクロコンピュータ外部へ出力される点、セレクタ856が構成要素になく、出力データレジスタ885に対するI/Oバッファ897と、周辺機能回路884に対するアウトプットバッファ899とは個別に存在する点、周辺選択レジスタ857が動作モード制御回路886の構成要素でない点が異なる。

#### 【0082】

ここで、周辺機能回路用ポート895は、マイクロコンピュータ880が有する周辺機能回路884からの信号を出力するポートである。

#### 【0083】

周辺機能回路884は、マイクロコンピュータ880がマイクロコンピュータ880外部の装置を制御するための信号を生成する回路であり、例えば、インターバルタイマや16ビットA/D変換器等がある。

#### 【0084】

また、動作モード制御回路886は、上記I/Oバッファ897の入出力モードの制御を行う回路である。そして、入出力制御レジスタ887は、入出力モードを設定する信号を保持する回路である。また、書込抑止回路888は、「マイクロコンピュータ880外部からのリセット信号」又は「ウォッチドックタイマからのリセット信号」により、リセットされるまで、入出力制御レジスタ887に対する入出力モードを設定する信号の再書込を抑止する回路である。従って、上記の動作モード制御回路886は、マイクロコンピュータ880の動作モード設定期間に、上記出力データレジスタ885が接続されているI/Oバッファ897の動作モードの設定をする。そして、動作モード制御回路886を構成する書込抑制回路888の働きにより、動作モード制御回路886は、上記の設定を行った後は、「マイクロコンピュータ880外部からのリセット信号」又は「ウォッチドックタイマからのリセット信号」により、リセットされるまで、上記の設定を再設定されるのを抑止する。

#### 【0085】

また、インプットバッファ893は動作モード設定ポート894から動作モード検出回路883に信号を伝える信号バッファ回路である。

#### 【0086】

さらに、アウトプットバッファ899は周辺機能回路884から周辺機能回路用ポート895へ信号を伝える信号バッファ回路である。

一方、その他のマイクロコンピュータ880の構成要素である、CPU890、制御信号発生部891、RAM881、ROM882、動作モード検出回路883、出力データレジスタ885、リセット回路889、及び、I/Oバッファ897については、第1の実施形態で示した回路と同様な機能をもつものである。加えて、監視信号出力ポート896及びリセット信号受け入れポート898も第1の実施形態と同様な役割を持つポートである。さらに、データバス892及びリセット信号879も第1の実施形態と同様な役割を持つバス、或いは、信号である。

#### 【0087】

さらに、CPU890を制御するマイクロコンピュータの制御プログラムも第1の実施形態におけるマイクロコンピュータ880の制御プログラムと同様な機能をもち、上記制御プログラムを構成する、タスク制御モジュール、動作モード設定モジュール、初期化モジュール、ウォッチドックタイマ制御モジュール、周辺機能制御モジュールも同様な機能をもつ。

#### 【0088】

そこで、第2の実施形態のマイクロコンピュータ880は、第2の実施形態の動作モード制御回路886の作用により、入出力モードを設定する信号の入出力制御レジスタ887への誤った書込が行われないように、マイクロコンピュータ880の動作モードを設定した後、「マイクロコンピュータ880外部からのリセット信号」又は「ウォッチドックタイマからのリセット信号」により、機能が解除されるまで、入出力モードを設定する信号の入出力制御レジスタ887への書込を抑止する効果を有する。

#### 【0089】

すなわち、前記I/Oバッファ897が、監視信号出力ポート896へ接続されている場合、マイクロコンピュータ880の動作モード設定期間に、出力モードへ設定された後は、動作モードが固定される。

#### 【0090】

従って、CPU890が正常であるにもかかわらず、マイクロコンピュータ880内部のノイズにより、入出力モードを設定する信号の入出力制御レジスタ887への誤った書込が行われることがなく、

マイクロコンピュータ880からウォッチドックタイマへの監視信号が常に出力される。その結果、常に、CPU890の動作状態を反映した、監視信号がウォッチドックタイマに届くため、ウォッチドックタイマは、高い信頼性をもってCPU890の状態を監視し続けることができる。

きる。

### 【第3の実施形態】

#### 【0091】

図6及び図7を用いて、第3の実施形態について、説明する。第3の実施形態は第2の実施形態の動作モード制御回路に関し、さらに詳細に記載するものである。

#### 【0092】

まず、図6は、書込抑止回路10を含む動作モード制御回路20と、動作モード制御回路20で制御される出力データレジスタ2及び入出力I/O3と、入出力I/O3からの出力信号が出力される端子8を表している。ここで、入出力I/O3は、例えば、出力信号を出力しない動作モードや出力信号を出力する動作モード等を有し、その動作モードが変更可能なものである。一方、出力データレジスタ2は、入出力I/O3から出力される出力データをラッチしておくものである。

#### 【0093】

また、動作モード制御回路20は、ライトパルス生成部1と、ライトパルス生成部1からの最初の入出力制御レジスタ書込信号12を受け、入出力制御レジスタ書込信号12のバッファ信号を出力する書込抑止回路10と、入出力制御レジスタ書込信号12のバッファ信号を受け、データバス14からデータをラッチする入出力制御レジスタ4から構成されている。さらに、ライトパルス生成部1は、出力データレジスタ2へデータバス14を通して出力データを供給し、出力データレジスタ2へ出力データレジスタ書込信号11を供給して前記の出力データをラッチさせる。また、入出力制御レジスタ4のQ端子の出力は、入出力I/O3へ供給され、前記Q端子の出力の論理値に応じて、入出力I/O3の動作モードが決定される。

#### 【0094】

さらに、書込抑止回路10は、入出力制御レジスタ書込信号12を一方の入力端子で受けるアンド回路5と、アンド回路5の出力をデータ取り込み信号とするフリップフロップ（以下「FF」という）6と、FF6の出力を入力に受け、アンド回路5の他方の入力端子へ、出力するバッファ7から構成されている。

#### 【0095】

そして、書込抑止回路10への2回目以降の入出力制御レジスタ書込信号12の入力に対して、書込抑止回路10が、入出力制御レジスタ4への入出力制御レジスタ書込信号12のバッファ信号の伝達を、抑止するので、動作モード制御回路20は、初期化後に、入出力制御レジスタ4にラッチされた最初の動作モード設定値を維持する。

#### 【0096】

従って、入出力制御レジスタ4にラッチされた最初の動作モード設定値は、入出力I/O3の動作モードを決定するので、ライトパルス生成部1から出力される出力データレジスタ書込信号11を受けて出力データレジスタ2にラッチされたデータバス14からのデータは、最初の入出力制御レジスタ書込信号12で設定され、それ以降、マイクロコンピュータの暴走やマイクロコンピュータ内部のノイズによっても変化しない入出力I/O3の動作モードに応じて出力されるという効果がある。

#### 【0097】

なお、上記では、ライトパルス生成部1がパルス信号を発生することを前提としているが、状態が変化する信号であっても、書込抑止回路10が、ライトパルス生成部1からの最初の入出力制御レジスタ書込信号12からに限って、パルス信号を発生することとすれば、入出力制御レジスタ4には、最初の一回の書き込みしか行われず、動作モード制御回路20は同様に初期化後の最初の動作モード設定値を維持することができる。

#### 【0098】

ここで、書込抑止回路10の動作を明確にするため、図7を用いて、以下に説明する。

#### 【0099】

まず、リセット信号15がR端子に入力されることにより、FF6はリセットされ、FF6はQ端子から“0”を出力する。ここで、リセット信号15は動作モード制御回路20を含むシステム又はマイクロコンピュータの全体回路をリセットする信号をいう。その結果、バッ

ファ7は“1”を出力し、アンド回路5は一方の端子でバッファ7の出力信号“1”を受け、アンド回路5は他方の端子からの信号を通過させる状態となる。

#### 【0100】

次に、パルス信号である入出力制御レジスタ書込信号12がアンド回路5の他方の端子に入力され、アンド回路5の出力からFF6のCK端子にパルス信号が伝えられると、D端子には常にVCC電源9、すなわち、論理値“1”的信号が入力されているので、FF6はQ端子から“1”を出力する。一方で、アンド回路5の出力は書込抑止信号10として入出力制御レジスタにも伝えられ、データバス14からデータを取り込み、データをラッチする。

#### 【0101】

次にFF6のQ端子の出力“1”は、バッファ7に入力され、バッファ7の出力は“0”に反転する。前記バッファ7の出力はアンド回路5の一方の端子に入力され、2回目の入出力制御レジスタ書込信号12をブロックする。この段階で、バッファ7、アンド回路5、FF6の出力状態は、次のリセット信号15がくるまで維持されるので、2回目以降の入出力制御レジスタ書込信号12は、入出力制御レジスタ4に対して、何の作用もしなくなる。

#### 【0102】

つまり、入出力制御レジスタ書込信号に対応して書込抑止回路10は、パルス信号を発生するが、入出力制御レジスタ書込信号12によりFF6及びバッファ7の出力がラッチされるので、次の書込抑止回路10のパルス発生は抑止されることとなる。

#### 【0103】

図6の第3の実施形態に係る書込抑止回路10及び動作モード制御回路20によれば、前記書込抑止回路10により入出力制御レジスタ4は、一回目の入出力制御レジスタ書込信号により設定された設定値を、マイクロコンピュータの暴走や内部ノイズがあっても維持するので、動作モードが意図しないソフトウェア命令によって変更されない効果がある。

#### 【0104】

なお、上記では、入出力I/Oに関する動作モードの設定を例に説明を行ったが、入出力制御レジスタ4を動作モード制御レジスタと、入出力制御レジスタ書込信号12を動作モード制御レジスタ書込信号とすれば、動作モード制御回路20及び書込抑止回路10は、一般的な動作モードを制御することもでき、上記と同様な効果を奏する。

#### 【第4の実施形態】

#### 【0105】

図8及び図9を用いて、第4の実施形態について説明する。第4の実施形態は、第2の実施形態の動作モード制御回路を、さらに詳細に記載したものである。

#### 【0106】

まず、図8は、書込抑止回路120を含む動作モード制御回路130と、動作モード制御回路130で制御される出力データレジスタ102及び入出力I/O103と、入出力I/O103からの出力信号が出力される端子113を表している。ここで、出力データレジスタ102及び入出力I/O103は、図6の第3の実施形態で対応する出力データレジスタ2及び入出力I/O3と同様な機能を有する。

#### 【0107】

一方、図6の第3の実施形態では、書込抑止回路10が、初期化後の1回に限って入出力レジスタ4への、入出力I/O3の動作モード設定値の書込を許可するのに対し、第5図の第2の実施形態では、書込抑止回路120は、書込抑止回路120へ、ライトパルス生成部101からの2以上の連続デコードがあったときに、入力レジスタ104への、入出力I/O3の動作モードの設定値の書込みを許可する点で相違する。

#### 【0108】

また、動作モード制御回路130は、ライトパルス生成部101と、前記ライトパルス生成部101からの入出力制御レジスタ書込信号122を受けてパルス信号を発生する書込抑止回路120と、前記書込抑止回路120からのパルス信号を受けてデータバス124からのデータをラッ

チする入出力制御レジスタ104とから構成されている。さらに、ライトパルス生成部101は、出力データレジスタ102へデータバス124を通して出力データを供給し、出力データレジスタ102へ出力データレジスタ書込信号121を供給して前記の出力データをラッチさせる。また、入出力制御レジスタ104のQ端子の出力は、入出力I/O103へ供給され、前記Q端子の出力の論理値に応じて、入出力I/O103の動作モードが決定される。

#### 【0109】

さらに、書込抑止回路120は、データバス124からデータ“55”又はデータ“AA”を受けた場合に、それぞれのデータに対応したデコード信号を発生するデコーダ105と、データ“AA”に対応するデコード信号を一方の入力として受けるアンド回路106と、アンド回路106の出力を入出力制御レジスタ書込信号122により取り込むフリップフロップ（以下「FF」という）107と、FF107の出力及びデータ“55”に対応するデコード信号とを入力として受けるアンド回路108と、アンド回路108の出力を入出力制御レジスタ書込信号122により取り込むFF109と、FF109の出力を入力として受け、アンド回路106の一方の入力へ、出力するバッファ110と、FF109の出力である書込抑止信号123が一方の端子より入力され、入出力制御レジスタ書込信号122が他方の端子より入力されるアンド回路111とから構成されている。

#### 【0110】

そして、データ“55”及びデータ“AA”により連続してデコードされることにより、ライトパルス生成部101からの入出力制御レジスタ書込信号122を受け、アンド回路111へ通過許可信号として書込抑止信号123が発生され、アンド回路111が入出力制御レジスタ書込信号122をバッファした信号を出力するため入出力制御レジスタ104において入出力I/O103の動作モードに対応する値が設定される。

#### 【0111】

一方、データ“55”及びデータ“AA”によるデコードが終了すると、書込抑止回路120が、入出力制御レジスタ書込信号122を受けたときに、アンド回路111へ通過禁止信号として書込抑止信号123が発生され、入出力制御レジスタ書込信号122が入出力制御レジスタ104へ伝えられるのを抑止する。その結果、動作モード制御回路130は初期化後の最初の動作モード設定値を維持することができる。

#### 【0112】

なお、上記では、入出力制御レジスタ書込信号122がパルス信号であることを前提としているが、複数のデコード信号（ここでは、データ“55”及びデータ“AA”）が連続して入力されたときに限って、ライトパルス生成部101から出力された入出力制御レジスタ書込信号122から、書込抑止回路120がパルス信号を発生することとしても、入出力制御レジスタ104に、動作モードの書込が行われるため、動作モード制御回路130は同様に動作モード設定値を維持することができる。

#### 【0113】

従って、ライトパルス生成部101から出力された出力データレジスタ書込信号121を受けて、出力データレジスタ102にラッチされたデータは、書込抑止回路120が連続デコードし、入出力制御レジスタ書込信号122によって設定された動作モードに応じて入出力I/O103から出力されるという効果がある。

#### 【0114】

また、マイクロコンピュータが暴走しても特定のデータによる連続デコードが起こる確率は低いため、入出力制御レジスタ書込信号122によって設定された動作モードは、マイクロコンピュータの暴走によても変更されないという効果もある。

#### 【0115】

ここで、書込抑止回路120の動作を明確化するため、図9を用いて、以下に説明する。

#### 【0116】

まず、リセット信号112で、FF107及びFF109をリセットし、各々のFFの出力端子Qからの出力を“0”とする。次に、データ“AA”に応じて、デコーダ105は、前記データ“AA”に対応する信号“1”を発生する。次に、アンド回路106はバッファ110の出力信号“

1”及びデータ“AA”に対応する信号“1”を受け、アンド回路106は信号“1”を出力する。次にFF107は、アンド回路106の出力“1”を、パルス信号である入出力制御レジスタ書込信号122を受けてラッチし、Q端子より“1”を出力する。

#### 【0117】

次に、データ“AA”によるデコードを取りやめ、デコーダ105がデータ“55”によるデコードを受けると、アンド回路108は、FF107からの出力“1”及びデータ“55”に対応する信号“1”を受けて、信号“1”を出力する。次に、FF109は、アンド回路108の出力“1”を入出力制御レジスタ書込信号122により取り込み、書込抑止信号123として“1”を出力する。その結果、アンド回路111は入出力制御レジスタ104へ入出力制御レジスタ書込信号122をバッファして出力し、入出力制御レジスタ104はデータバス124からのデータをラッチする。

#### 【0118】

その後、データ“55”デコードも止めると、デコーダ105からは、“0”信号が出力され、この状態で入出力制御レジスタ書込信号122がライトパルス生成部101から出力されると、FF109からは、書込抑止信号123として“0”信号が出力される。その結果、アンド回路111の一方の入力端子には、“0”信号の書込抑止信号123が入力されているため、アンド回路111が入出力制御レジスタ書込信号122をバッファして出力するのを抑止する。

#### 【0119】

すなわち、書込抑止回路120が異なるデコード信号で、連続デコードを受けたときのみ、書込抑止回路120は入出力制御レジスタ書込信号122をバッファして入出力制御レジスタ104に出力するが、デコードされないとき、又は、連続デコードがされないときは、入出力制御レジスタ書込信号122をバッファして入出力制御レジスタ104に出力しない。

#### 【0120】

図8の第4の実施形態に係わる書込抑止回路120及び動作モード制御回路130によれば、マイクロコンピュータの暴走があっても、連続して“55”と“AA”データを出力する確率は低いので、連続デコード時に設定した入出力I/Oの動作モードは維持される。従って、意図しないソフトウェア命令や内部ノイズによる制御レジスタ書込信号122及びデコード信号の出力によって、動作モードが変更されないという効果がある。

#### 【0121】

なお、上記では、入出力I/Oに関する動作モードの設定を例に説明を行ったが、入出力制御レジスタ104を動作モード制御レジスタと、入出力制御レジスタ書込信号122を動作モード制御レジスタ書込信号とすれば、動作モード制御回路130及び書込抑止回路120は、一般的な動作モードを制御することもでき、上記と同様な効果を奏する。

### 【第5実施形態】

#### 【0122】

図10及び図11を用いて、第5の実施形態について説明する。第5の実施形態は、第1の実施形態の動作モード回路を、さらに詳細に記載したものである。

#### 【0123】

まず、図10は、書込抑止回路220を含む動作モード制御回路230と、動作モード制御回路230で制御される出力データレジスタ204及び入出力I/O205と、セレクタ203と、入出力I/O205からの出力信号が出力される端子212と、タイマ回路を表している。ここで、タイマ202は一定周期のクロック信号を出力するものである。また、セレクタ203はタイマ202からの出力信号、又は、出力データレジスタ204からの出力信号かを選択する回路であり、論理値“1”を設定するとタイマ202からの出力信号を選択し、論理値“0”を設定すると出力データレジスタ204からの出力信号を選択するものである。さらに、出力データレジスタ204はライトパルス生成回路201からの出力データを、データバス221を通して受け取り、ラッチする回路である。

#### 【0124】

図6の第3の実施形態では、書込抑止回路10が、初期化後の一回に限って入出力レジスタ4への、入出力I/O3の動作モード設定値の書き込みを許可するのに対し、図10の第5の

実施形態では、書込抑止回路220が、初期化後、所定のデータ信号を書込抑止回路220へ送り、それがラッチされるまでの期間のみ、セレクタ203で使用される周辺選択レジスタ207の選択設定値の書き込みを許可する点で異なる。

#### 【0125】

また、動作モード制御回路230は、ライトパルス生成部201と、前記ライトパルス生成部201からの周辺選択レジスタ書込信号223を受け、書込抑止信号224を発生する書込抑止回路220と、前記ライトパルス生成部201からの入出力制御レジスタ書込信号222を受け、データバス221上のデータをラッチする入出力制御レジスタ208と、前記書込抑止回路220からの書込抑止信号224を受け、データバス221上のデータをラッチする周辺選択レジスタ207と、入出力制御レジスタ208のQ端子からの出力及び周辺選択レジスタ207のQ端子からの出力を入力端子で受け、論理和をとるオア206とから構成されている。

#### 【0126】

そして、周辺選択レジスタ207のQ端子からの出力はセレクタ203に供給され、選択信号として働く。ここで、上記選択信号が“1”的場合は、タイマ202からの信号を選択し、オア206からも上記選択信号の論理値と同等な論理値が出力されるため、入出力I/0205は論理値“1”に対応した動作モードで動作する。一方、上記選択信号が“0”的場合は、出力データレジスタ204からの信号を選択するが、オア206からは、入出力制御レジスタのQ端子からの出力と同様な論理信号が出力され、入出力I/0205は入出力制御レジスタのQ端子からの出力に応じた動作モードで動作する。

#### 【0127】

書込抑止回路220は、データバス221からのデータを受け取るバッファ210と、バッファ210の出力をライトパルス生成部201からの周辺選択レジスタ書込信号223によりラッチするフリップフロップ（以下「FF」という）209と、ライトパルス生成部201からの周辺選択レジスタ書込信号223及びFF209からの出力信号を入力として受けるアンド回路211とから構成されている。ここで、データバス221は少なくとも、出力データレジスタ204向けの信号、周辺選択レジスタ207向けの信号、入出力制御レジスタ208向けの信号、FF209向けの信号を含むデータバスである。

#### 【0128】

そして、リセット信号213をR端子に入力することにより、書込抑止回路220のFF209のXQ端子が“1”に設定されてから、データバス221のFF209向けの信号に“0”が設定され、前記データバス221のFF209向けの信号に設定された“0”を周辺選択レジスタ書込信号223でFF209がラッチした結果、FF209のXQ端子が“0”に変化するまでの間（以下「アンド回路211開放期間」という）、アンド回路211は周辺選択レジスタ書込信号223をそのまま書込抑止信号224として出力する。言い換えれば、リセット信号により書込抑止回路220のFF209のXQ端子が“1”に設定された後、データバス221のFF209向けの信号に“1”信号が設定されている間は、周辺選択レジスタ書込信号223が発生する度に、周辺選択レジスタ207は書込抑止信号224によりデータバス221の周辺選択レジスタ207向けの信号をラッチする効果がある。一方、上記アンド回路211開放期間以外は、FF209のXQ端子に“0”が設定される結果、アンド回路211の出力信号である書込抑止信号224は論理値“0”的固定信号となり、周辺選択レジスタ207のラッチを抑止する効果がある。

#### 【0129】

ここで、書込抑止回路220の動作を明確にするため、図11を用いて、以下に説明する。

#### 【0130】

最初にリセット信号213をR端子に入力することで、FF209をリセットし、FF209のXQ端子を“1”に設定する。次にライトパルス生成部201からの周辺選択レジスタ書込信号223を発生させると、アンド回路211は周辺選択レジスタ書込信号223をそのまま書込抑止信号224として出力し、FF209は書込抑止信号224を受け、データバス221のFF209向けの信号をラッチする。

#### 【0131】

このとき、データバス221のFF209向けのデータ信号を“1”に設定している場合は、FF

209のXQ端子は“1”を維持する。従って、アンド回路211は、次の周辺選択レジスタ書込信号223も、書込抑止信号224として通過させる。

#### 【0132】

しかし、データバス221のFF209向けのデータ信号を“0”に設定した場合には、FF209のXQ端子は“0”に変化する。その結果、アンド回路211は書込抑止信号224として、固定された“0”信号を出力するので、周辺選択レジスタ207及びFF209への書き込みは抑止される。

#### 【0133】

また、FF209のXQ端子の出力が“0”的状態では、アンド回路211の出力が“0”に維持されるため、FF209をリセット信号213でリセットしない限り、周辺選択レジスタ207及びFF209への書き込みの抑止状態は維持される。

#### 【0134】

なお、上記では、周辺選択レジスタ書込信号223がパルス信号であることを前提としたが、周辺選択レジスタ書込信号223が状態変化信号であっても、書込抑止回路220が、ライトパルス発生部201からの周辺選択レジスタ書込信号223を受けて、パルス信号を発生することとすれば同様な効果を奏する。また、パルス信号の発生のためには、書込抑止回路220中のアンド回路211の直後に、状態変化信号を受けてパルスを発生する回路が含まれることが望ましい。

#### 【0135】

従って、動作モード制御回路230は、周辺選択レジスタ207の設定値をセレクタ203への出力とし、入出力制御レジスタ書込信号224で設定した入出力制御レジスタ208の設定値を入出力I/0205への出力とするが、書込抑止回路220が周辺選択レジスタ207への書き込みを抑止した後は、上記の出力は固定されるという効果がある。

#### 【0136】

その結果、周辺選択レジスタ207の出力が“0”であった場合には、セレクタ203はタイマ202からの出力ではなく、出力データレジスタ204の出力を、入出力制御レジスタ208の設定値に従って設定された動作モードに応じて入出力I/0205より出力されるという効果がある。

#### 【0137】

また、周辺選択レジスタ207の設定値は、アンド回路211の出力が“0”に固定されているため、マイクロコンピュータの暴走や内部ノイズによっても、維持されるので、常にタイマ202からの出力は出力されず、出力データレジスタ213の出力が出力されるという効果がある。

#### 【0138】

なお、上記では、入出力I/Oに関する動作モードの設定を行ったが、入出力制御レジスタ208を動作モード制御レジスタと、入出力制御レジスタ書込信号222を動作モード制御レジスタ書込信号とすれば、動作モード制御回路230及び書込抑止回路220は、一般的な動作モードを制御することもでき、上記と同様な効果を奏する。

### 【第6の実施形態】

#### 【0139】

図12及び図13を用いて、第6の実施形態について説明する。第6の実施形態は、第2の実施形態の動作モード制御回路を、さらに詳細に記載したものである。

#### 【0140】

まず、図12は書込抑止回路310を含む動作モード制御回路320と、動作モード制御回路320で制御される出力データレジスタ302及び入出力I/0304と、入出力I/0304からの出力信号が出力される端子309を表している。ここで、出力データレジスタ302及び入出力I/0304は、図6の第3の実施形態で対応する出力データレジスタ2及び入出力I/03と同様な機能を有する。

#### 【0141】

一方、図6の第3の実施形態では、書込抑止回路10が、初期化後の1回に限って入出力

制御レジスタ4への、入出力I/O3の動作モード設定値の書込を許可するのに対し、第12図の第6の実施形態では、書込抑止回路310が、初期化ルーチンにおける実行状態において、所定の初期化ルーチンが実行されている間は、入出力制御レジスタ303への、入出力I/O304の動作モードの設定値の書込を許可する点で相違する。

#### 【0142】

また、動作モード制御回路320は、ライトパルス生成部301と、前記ライトパルス生成部301からの入出力制御レジスタ書込信号313を受け、そのままバッファとして出力するか、抑止するかを、初期化プログラムの実行状態により決定する書込抑止回路310と、前記入出力制御レジスタ書込信号313のバッファ信号を受け、データバス317からのデータをラッチする入出力制御レジスタ303とから構成されている。

#### 【0143】

第6の実施形態に係わる書込抑止回路310は、初期化プログラムの読み取り状態であることを示す初期化ルーチン状態信号311を発生する初期化ルーチン実行表示回路（以下「表示回路」という）305と、初期化プログラムの現在実行中のシーケンスが所定のシーケンス以降であることを示す、初期化ルーチンの所定領域内状態信号（以下「所定内状態信号」という）312を発生する初期化ルーチンにおける実行状態の判定回路（以下「判定回路」という）306と、前記所定内状態信号及び初期化ルーチン状態信号を入力とするアンド回路316と、アンド回路316の出力をラッチするセット／リセットフリップフロップ（以下「SRFF」という）307と、一方の入力端子からは入出力制御レジスタ書込信号を受け入れ、他方の入力端子からは前記SRFF307からの出力信号を受け入れて書込抑止信号を出力するアンド回路308とから構成されている。

#### 【0144】

そして、書込抑止回路310は初期化プログラムの現在実行中のシーケンスが所定のシーケンス以前のものであれば、ライトパルス生成部301から出力された入出力制御レジスタ書込信号313をバッファして通過させ、初期化プログラムの現在実行中のシーケンスが所定のシーケンス以降のものであるときには、前記入出力書込信号の通過を阻止する効果がある。

#### 【0145】

さらに、動作モード制御回路320は、初期化プログラムの所定のシーケンス以降は、ライトパルス生成部301からの入出力制御レジスタ信号を、書込抑止回路310が抑止するので、マイクロコンピュータが暴走しても、入出力制御レジスタ303に設定された動作モードに関する設定値を維持する効果がある。

#### 【0146】

その結果、動作モード制御回路320の設定した動作モードにより、入出力I/O304は出力データレジスタ302に取り込んだデータを、出力するという効果がある。

#### 【0147】

ここで、書込抑止回路310の動作を明確化するため、図13を用いて、以下に説明する。

#### 【0148】

まず、リセット信号318により、SRFF307の出力端子Qの出力を“1”に設定する。ここで、リセット信号とは、動作モード制御回路320及び書込抑止回路310を含むシステム又はマイクロコンピュータの回路をリセットする信号をいう。

#### 【0149】

次にマイクロコンピュータを初期化する初期化ルーチンを開始すると、表示回路305から論理値が“1”である初期化ルーチン状態信号311が出力される。一方、判定回路306からは、当初には論理値“1”であるが、初期化ルーチンが進み、初期化ルーチンのシーケンスが所定の領域外に出たときに、論理値“0”に変化する所定内状態信号312が出力される。その結果、初期化ルーチン開始後であって、初期化ルーチンの所定領域内であるときには、アンド回路316は“1”を出力するが、所定領域内をすぎると、アンド回路316は“0”を出力する。

#### 【0150】

次にSRFF307はアンド回路316の出力が“0”から“1”に変化し、さらに、“1”から“0”へ変化すると、出力端子Qが“1”から“0”へ変化する。

#### 【0151】

そこで、初期化ルーチン開始後であって、初期化ルーチンの所定領域内であるときに、ライトパルス生成部301から入出力制御レジスタ書込信号313が、出力されると、入出力制御レジスタ書込信号313はアンド回路308でバッファされ、入出力制御レジスタ303へ出力される。

#### 【0152】

一方、初期化プログラムが実行されていないとき及び初期化ルーチンが所定領域外にあるときには、SRFF307の出力端子は“0”なので、入出力制御レジスタ書込信号313は、アンド回路308で抑止される。

#### 【0153】

図12の動作モード制御回路320及び書込抑止回路310によれば、初期化プログラムであって、所定の初期化ルーチン以前の段階を実行中に、動作モード制御回路320における入出力制御レジスタ303に設定した動作モードは、初期化プログラム以外のソフトウェアによっては制御されない書込抑止回路310により、入出力制御レジスタ303への書き込みが抑止されているので、内部ノイズやマイクロコンピュータが暴走したことに原因する意図しないソフトウェアによって、変更されないという効果がある。

#### 【第7の実施形態】

#### 【0154】

図14を用いて、第7の実施形態について説明する。

#### 【0155】

第7の実施形態に係るマイクロコンピュータ400は、CPU401（中央処理装置）と、ROM（Read Only Memory）405と、RAM（Random Access Memory）404と、タイマ403と、書込抑止回路402と、アドレス入出力I/O用の入出力制御レジスタ&アドレスレジスタ406と、制御信号I/O用の入出力制御レジスタ&制御信号レジスタ415と、データ入出力I/O用の入出力制御レジスタ&データレジスタ409と、アドレス入出力I/O1(407)と、アドレス入出力I/O2(408)と、データ入出力I/O410と、制御信号I/O411と、セレクタ417と、周辺選択レジスタ416とから構成されており、前記書込抑止回路402は、第1の実施形態乃至第4の実施形態に係わる書込抑止回路であり、前記書込抑止回路402と、前記入出力レジスタと、周辺選択レジスタは第3の実施形態にかかる動作モード制御回路を構成している。そして、CPU（中央処理装置）401は、第乃至第4の実施形態におけるライトパルス生成部として機能する。

#### 【0156】

ここで、マイクロコンピュータ400内のタイマ403等の周辺機能と、マイクロコンピュータ外部との入出力に必要な制御信号、データ、アドレスを蓄積するそれぞれのレジスタ等の入出力機能とは、データ又は信号をマイクロコンピュータ外部に出力するにあたり、同一の入出力I/Oを兼用することがある。例えば、図14では、アドレス入出力I/O1(407)の一部をタイマ403の出力とが兼用であることを示している。

#### 【0157】

この場合にCPU（中央処理装置）401は、どの機能からの出力を入出力I/Oに出力するかを示す設定値を、周辺選択レジスタ書込信号を送るとともに、データバスを通じてデータを送ることにより、周辺選択レジスタ416に設定し、どの入出力I/Oにどのような動作モードをもたらせるかを、周辺選択レジスタ416の場合と同様にして、入出力制御レジスタに設定する。そして、周辺選択レジスタ416の設定値に基づいて出力された信号で、セレクタ417は、複数の機能のうちどの機能からの信号を出力するかを選択し、入出力制御レジスタの設定値に基づいて出力された信号で、入出力I/Oは出力動作モードを選択する。

#### 【0158】

また、書込抑止回路402は、周辺選択レジスタ416及び各入出力制御レジスタの設定値を、第3の実施形態から第6の実施形態に示した機能により、CPU（中央処理装置）からの信

号を受けて、所定の設定方法により設定する以外の方法によっては書き換えられないようにする役割を有する。

### 【0159】

従って、第7の実施形態に係わるマイクロコンピュータ400によれば、書込抑止回路402にてウォッチドッグへの監視信号のように、重要な入出力I/Oに係わる出力属性を決定する制御レジスタの設定値を、マイクロコンピュータが暴走しても確保することができるため、マイクロコンピュータが暴走したときの対処が確実に行える、一方、マイクロコンピュータの通常動作時においても、マイクロコンピュータのソフトウェア命令により出力される信号によっては入出力I/Oに係わる出力属性が変化しないので、ソフトウェア命令の間違いがあっても、マイクロコンピュータが暴走しているか否かの判定が確実に行える。従って、第5の実施形態に係わるマイクロコンピュータをシステムに使用した場合に、安全性の高いシステムとすることができるという効果がある。

### 【第8の実施形態】

#### 【0160】

第15図を用いて、第8の実施形態について説明する。

#### 【0161】

第8の実施形態に係る制御システム500は、タイマ502等の周辺機能回路と、監視信号に係る出力データレジスタ503と、前記タイマ502等の周辺機能回路からの出力又は前記出力データレジスタ503からの出力のどちらかを選択するセレクタ507と、前記セレクタ507からの出力を出力するI/Oバッファ508と、監視信号を出力する監視信号出力ポート511と、前記セレクタ507を制御する周辺選択レジスタ504と、前記I/Oバッファ508の入出力モードを制御する入出力制御レジスタ505と、前記周辺選択レジスタ504又は入出力制御レジスタ505へのデータ書込を抑止する書込抑止回路506と、CPU510（中央処理装置）と、RAM516と、ROM517と、リセット回路509と、マイクロコンピュータ全体をリセットするリセット信号を受け入れるリセット信号受入ポート512とから構成されるマイクロコンピュータ501及び前記マイクロコンピュータ501からの監視信号514を受信し、信号が途絶えたときに、リセット信号515を発生するウォッチドッグ513を少なくとも有している。ここで、上記の書込抑止回路506は第1～4の実施形態の書込抑止回路であり、書込抑止回路506と、入出力制御レジスタ505と、周辺選択レジスタ504とは、第5の実施形態に示す動作モード制御回路を構成している。

#### 【0162】

第8の実施形態に係る制御システム500によれば、前記制御システム500を組み込んだ装置を、制御システム500がコントロールしている最中に、何らかの原因で、制御システム500が有するマイクロコンピュータ501が暴走したとき、監視信号出力ポート511から監視信号の出力が途切れる結果、ウォッチドッグ513が前記の信号の途切れを検出し、ウォッチドッグ513がマイクロコンピュータ501向けにリセット信号515を発生し、マイクロコンピュータ501がリセットされるので、自動的に暴走状態から復帰することができる。一方、前記制御システム500の通常動作時においても、前記制御システム内のマイクロコンピュータ501のソフトウェア命令により出力される信号によっては、マイクロコンピュータ501のI/Oバッファ508に係わる出力属性は変化せず、また、ウォッチドッグとの監視信号出力ポートがソフトウェア命令の間違いがあっても、監視信号を出力するための出力データレジスタ503からの出力がタイマ502の出力に切り換えられることがないので、マイクロコンピュータ501が暴走しているか否かの判定が確実に行える。従って、第8の実施形態に係わる制御システム500を使用した装置を、安全性の高い装置とすることができますという効果がある。

#### （付記1）

外部からのリセット信号によりリセットされ、制御プログラムにより処理を行うマイクロコンピュータであって、  
複数の動作モードを有する入出力回路と、  
制御信号発生部と、

制御回路と、

抑止回路とを備え、

前記制御信号発生部は、前記制御プログラム中の動作モード設定ルーチンにより、書き込み信号を発生し、

前記制御回路は、前記書き込み信号に応じて、前記入出力回路の動作モードを設定し、

前記抑止回路は、前記制御回路が前記動作モードを設定した後は、前記外部からのリセット信号によりリセットされるまで、前記入出力回路の動作モードを再設定することを抑止し、

前記入出力回路は前記制御回路が設定する動作モードにより、前記マイクロコンピュータの外部との信号を入出力することを特徴とするマイクロコンピュータ。

(付記2)

制御信号発生部と

初期化後において前記制御信号発生部からの最初の第1の出力信号からに限って、前記第1の出力信号のバッファ信号を発生する書き込み抑止回路と

前記書き込み抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の出力信号を保持する制御回路とを備え、

前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

(付記3)

付記2に記載した動作モード制御回路であって、

前記第1の出力信号はパルス信号であることを特徴とする動作モード制御回路。

(付記4)

付記2に記載した動作モード制御回路であって、

前記書き込み抑止回路が、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1の出力信号のバッファ信号又は固定論理信号を出力するバッファ手段と、

前記制御信号発生部からの前記第1の出力信号により保持し、保持状態を示す状態信号を出力する保持手段とを備え、

前記バッファ手段が、さらに、前記保持手段からの前記状態信号を受ける入力端子を有し、前記状態信号が前記保持状態であることを示した場合は、前記固定論理信号を出力し、前記保持状態を示していない場合は、前記バッファ信号を出力することを特徴とする動作モード制御回路。

(付記5)

付記2に記載した動作モード制御回路であって、

前記書き込み抑止回路が、

前記制御信号発生部からの前記第1の出力信号を入力の一方に受けるアンド回路と、

前記アンド回路の出力が保持端子に接続され、パルス信号が前記保持端子に入力されると論理値“1”的信号を出力するフリップフロップ回路と、

前記フリップフロップ回路からの信号に応答して、論理値を反転させた信号を前記アンド回路の他方の入力へ、出力するバッファ回路とを備え、

前記アンド回路は前記制御信号発生部からの前記第1の出力信号と前記論理値を反転させた信号と論理積をとることを特徴とする動作モード制御回路。

(付記6)

少なくとも、付記2から付記5のいずれかに記載した動作モード制御回路と、

外部との信号の入出力を制御する前記入出力制御回路と、

前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデータレジスタ書き込み信号により、保持するデータレジスタ回路とを備え、

前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回路へ出力することを特徴とするマイクロコンピュータ。

(付記7)

制御信号発生部と、

前記制御信号発生部からの第1のデコード信号及び第2のデコード信号を連続して受けたときに限って、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を発生する書込抑止回路と、

前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の信号を保持する制御回路とを備え、

前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

(付記8)

付記7に記載した動作モード制御回路であって、

前記第1の出力信号はパルス信号であることを特徴とする動作モード制御回路。

(付記9)

制御信号発生部と、

前記制御信号発生部から所定の複数のデコード信号を連続して受けたときに限って、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を発生する書込抑止回路と、

前記書込抑止回路からの前記バッファ信号に応答して、前記制御信号発生部からの第2の信号を保持する制御回路とを備え、

前記制御回路は、保持された前記第2の出力信号に基づいて外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

(付記10)

付記7に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1のデコード信号及び、前記第2のデコード信号に応じて、第1の選択状態信号及び、第2の選択状態信号を出力するデコーダ回路と、

前記第1の選択状態信号を一方の入力端子に受ける第1のアンド回路と、

前記第2の選択状態信号を一方の入力端子に受ける第2のアンド回路と、

第3のアンド回路と、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1のアンド回路の出力信号を保持し、前記第2のアンド回路の他方の入力端子へ、第1のデータを出力する第1のフリップフロップ回路と、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第2のアンド回路の出力信号を保持し、前記第3のアンド回路の一方の入力端子へ、第2のデータを出力する第2フリップフロップ回路と、

前記第2のデータを論理的に反転した第3の出力信号を、第1のアンド回路の他方の入力へ、出力するバッファ回路とを備え、

前記第1のアンド回路は前記第1の選択状態信号と前記第3の出力信号と論理積し、

前記第2のアンド回路は前記第2の選択状態信号と前記第1のデータと論理積し、

前記第3のアンド回路は前記第2のデータと前記第1の出力信号と論理積し、

前記制御回路は、前記第3のアンド回路からの出力信号に応答して、前記制御信号発生部からの前記第2の出力信号を保持する第3のフリップフロップ回路を備えたことを特徴とする動作モード制御回路。

(付記11)

少なくとも、付記7から付記10のいずれかに記載した動作モード制御回路と、

外部との信号の入出力を制御する前記入出力制御回路と、

前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデータレジスタ書込信号により、保持するデータレジスタ回路とを備え、

前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回路へ出力することを特徴とするマイクロコンピュータ。

(付記12)

少なくとも、制御信号発生部と、

前記制御信号発生部からの第1の出力信号に応答して、前記制御信号発生部からの第2の出力信号を保持し、保持した信号の論理値に応じた書込信号を発生する書込抑止回路と前記書込信号に応答して、前記制御信号発生部からの第3の出力信号を保持し、保持した信号の論理値に応じた制御信号を発生する制御回路とを備え、

前記制御信号発生部からの前記第2の出力信号の論理値に応じた前記書込信号は、一方は論理値が固定した信号であり、他方は前記制御信号発生部からの前記第1の出力信号のバッファ信号であって、

前記制御信号は、少なくともデータレジスタ回路を含む複数の信号発生回路の中から、外部へ信号を伝える信号発生回路を選択する選択回路へ、供給されることを特徴とする動作モード制御回路。

(付記13)

少なくとも、制御信号発生部と、

前記制御信号発生部からの第1の出力信号に応答して、前記制御信号発生部からの第2の出力信号を保持し、保持した信号の論理値に応じた書込信号を発生する書込抑止回路と前記書込信号に応答して、前記制御信号発生部からの第3の出力信号を保持し、保持した信号の論理値に応じた第1の制御信号を発生する第1の制御回路と、

前記制御信号発生部からの第4の出力信号に応答して、前記制御信号発生部からの第5の出力信号を保持し、保持した信号の論理値に応じた第2の制御信号を発生する第2の制御回路と、

前記第1の制御信号と前記第2の制御信号の論理和をとり、その結果である動作モード設定信号を出力するオア回路を備え、

前記制御信号発生部からの前記第2の出力信号の論理値に応じた前記書込信号は、一方は論理値が固定した信号であり、他方は前記制御信号発生部からの前記第1の出力信号のバッファ信号であって、

前記第1の制御信号は、少なくともデータレジスタ回路を含む複数の信号発生回路の中から、外部へ信号を伝える信号発生回路を選択する選択回路へ供給され、

前記動作モード設定信号は、外部との入出力信号の制御をする回路へ、該回路の動作モードを設定するために供給することを特徴とする動作モード制御回路。

(付記14)

付記12に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1の出力信号に応答して、前記第1の出力信号のバッファ信号又は固定した信号を出力するバッファ手段と、

前記バッファ信号に応答して、前記制御信号発生部からの前記第2の出力信号を保持し、前記第2の出力信号の論理値に応じた論理信号を出力する保持手段とを備え、

前記バッファ手段は前記保持手段からの論理信号を受け取り、一方の論理値に応じて前記固定した信号を出力し、他方の論理値に応じて前記バッファ信号を出力することを特徴とする動作モード制御回路。

(付記15)

付記12に記載した動作モード制御回路であって、

前記書込抑止回路が、

前記制御信号発生部からの前記第1の出力信号を一方の入力端子で受けるアンド回路と、前記制御信号発生部からの前記第2の出力信号を論理的に反転したバッファ信号を出力するバッファ回路と、

前記バッファ信号をデータ端子で受け、前記アンド回路の出力に応答して、前記バッファ信号を保持し、前記バッファ信号の論理値に応じた論理信号を発生する保持回路とを備え、

前記アンド回路は前記論理信号と前記第1の出力信号と論理積することを特徴とする動作モード制御回路。

## (付記16)

少なくとも、付記12乃至付記15に記載した動作モード制御回路と、外部との信号の入出力を制御する入出力制御回路と、前記動作モード制御回路からのデータレジスタ書込信号に応答して、前記動作モード制御回路からのデータ信号を保持するデータレジスタ回路と、1つ以上の一定周期のクロックを発生可能なタイマ回路と、前記動作モード制御回路からの前記第1の制御信号に応じて、前記データレジスタ回路又は前記タイマ回路を選択する選択回路とを備え、前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回路へ出力することを特徴とするマイクロコンピュータ。

## (付記17)

制御信号発生部と、初期化プログラム実行後において、所定の初期化ルーチン以前の段階を実行中であるときは、前記制御信号発生部からの第1の出力信号をバッファしたバッファ信号を出力し、それ以外の時は、固定した信号を出力する書込抑止回路と、前記書込抑止回路からの出力信号に応答して、前記制御信号発生部からの第2の出力信号を保持する制御回路とを備え、前記制御回路は、保持された前記第2の出力信号に応じて、外部との信号の入出力制御回路の動作モードを設定することを特徴とする動作モード制御回路。

## (付記18)

付記17に記載した動作モード制御回路であって、前記制御信号発生部からの前記第1の出力信号はパルス信号であることを特徴とする動作モード制御回路。

## (付記19)

付記17に記載した動作モード制御回路であって、前記書込抑止回路が、初期化プログラムを実行中であることを示す第1の状態信号を発生する第1の状態信号発生回路と、所定の初期化ルーチン以前の段階を実行中であることを示す第2の状態信号を発生する第2の状態信号発生回路と、前記第1の状態信号と前記第2の状態信号と論理積する第1のアンド回路と、リセット状態では論理値“1”を出力し、前記第1のアンド回路からの出力を受け、前記第1のアンド回路からの出力が所定の信号であったときは、論理値“0”を出力するセット／リセットフリップフリップ回路と、前記制御信号発生部からの前記第1の信号と前記セット／リセットフリップフリップ回路の出力信号と論理積する第2のアンド回路とを備えることを特徴とする動作モード制御回路。

## (付記20)

少なくとも、付記17から付記19のいずれかに記載した動作モード制御回路と、外部との信号の入出力を制御する前記入出力制御回路と、前記動作モード制御回路からのデータ信号を、前記動作モード制御回路からのデータレジスタ書込信号により、保持するデータレジスタ回路とを備え、前記データレジスタ回路は、前記データ信号に応じた信号を、前記入出力制御回路へ出力することを特徴とするマイクロコンピュータ。

## (付記21)

少なくとも、ウォッチドッグと付記6、付記11、付記16又は付記20に記載したマイクロコンピュータとを備え、前記マイクロコンピュータはさらに、監視信号を前記ウォッチドッグへ出力する監視信号出力ポートと前記ウォッチドッグからの第1のリセット信号を受け入れるリセット信号受入ポートと

前記第1のリセット信号に応じて、前記マイクロコンピュータの所定の回路への、第2のリセット信号を発生するリセット回路を有し、  
前記入出力制御回路からの出力が前記ウォッチドッグへの前記監視信号であって、  
前記ウォッチドッグは前記第1のリセット信号を前記マイクロコンピュータに出力することを特徴とする制御システム。

#### 【産業上の利用可能性】

##### 【0163】

本発明に係わるマイクロコンピュータの動作モード制御回路は、I/Oバッファの入出力属性を決定する入出力レジスタ、及び、周辺機能の選択をする周辺選択レジスタに対して、所定の設定方法により設定する以外の方法によっては書換られないようにする書込抑止の効果があり、動作モード設定期間に設定した動作モードは、マイクロコンピュータの状態いかんによらず、外部からのリセット信号によりリセットされるまで、動作モードの再設定が防止される。

##### 【0164】

従って、ウォッチドックタイマ用の監視信号を出力するポートのI/Oバッファの設定と上記I/Oバッファにウォッチドックタイマ用の監視信号発生回路を接続する設定は、所定の期間、マイクロコンピュータ自身によって再設定されないため、マイクロコンピュータの状態いかんによらず、ウォッチドックタイマに対し、マイクロコンピュータの状態を表した監視信号を送り続けることができる。

そのため、ウォッチドックタイマは高い信頼性をもって、マイクロコンピュータの状態（例えば、暴走した状態）を監視し続けることができる。

##### 【0165】

その結果、本発明によれば、動作モードの再書込を防止する動作モード制御回路、及び、安定的に動作可能なマイクロコンピュータ、上記マイクロコンピュータを使用した制御システムを提供することができる。

#### 【図面の簡単な説明】

##### 【0166】

- 【図1】第1の実施形態に係るマイクロコンピュータ全体回路の概略図
- 【図2】第1の実施形態に係るマイクロコンピュータの制御プログラム概略図
- 【図3】第1の実施形態に係る制御プログラムのフローチャート概略図
- 【図4】第1の実施形態に係るモード設定ルーチンのフローチャート概略図
- 【図5】第2の実施形態に係るマイクロコンピュータ全体回路概略図
- 【図6】第3の実施形態の概略図
- 【図7】第3の実施形態の書込抑止回路の動作波形図
- 【図8】第4の実施形態の概略図
- 【図9】第4の実施形態の書込抑止回路の動作波形図
- 【図10】第5の実施形態の概略図
- 【図11】第5の実施形態の書込抑止回路の動作波形図
- 【図12】第6の実施形態の概略図
- 【図13】第6の実施形態の書込抑止回路の動作波形図
- 【図14】第7の実施形態（マイクロコンピュータ全体回路の概要）の概略図
- 【図15】第8の実施形態（制御システム）の概略図
- 【図16】従来例1（車両マイコンシステム）の概略図
- 【図17】従来例2（データ処理装置）の概略図
- 【図18】従来例3（マイクロコンピュータ）の概略図

#### 【符号の説明】

##### 【0167】

- 1 ライトパルス生成部
- 2 出力データレジスタ
- 3 入出力 I/O

4 入出力制御レジスタ  
5 アンド回路  
6 F F  
7 バッファ  
8 端子  
9 VCC電源  
10 書込抑止回路  
11 出力データレジスタ書込信号  
12 入出力制御レジスタ書込信号  
13 書込抑止信号  
14 データバス  
15 リセット信号  
20 動作モード制御回路  
101 ライトパルス生成部  
102 出力データレジスタ  
103 入出力I/O  
104 入出力制御レジスタ  
105 デコーダ  
106 アンド回路  
107 F F  
108 アンド回路  
109 F F  
110 バッファ  
111 アンド回路  
112 リセット信号  
113 端子  
120 書込抑止回路  
121 出力データレジスタ書込信号  
122 入出力データレジスタ書込信号  
124 データバス  
130 動作モード制御回路  
201 ライトパルス生成部  
202 タイマ  
203 セレクタ  
204 出力データレジスタ  
205 入出力I/O  
206 オア  
207 周辺選択レジスタ  
208 入出力制御レジスタ  
209 F F  
210 バッファ  
211 アンド回路  
212 端子  
213 リセット信号  
220 書込抑止回路  
221 データバス  
222 入出力制御レジスタ書込信号  
223 周辺選択レジスタ書込信号  
225 出力データレジスタ書込信号  
230 動作モード制御回路

- 301 ライトパルス生成部
- 302 出力データレジスタ
- 303 入出力制御レジスタ
- 304 入出力I/O
- 305 初期化ルーチン実行表示回路
- 306 初期化ルーチンにおける実行状態の判定回路
- 307 S R F F
- 308 アンド回路
- 309 端子
- 310 書込抑止回路
- 311 初期化ルーチン状態信号
- 312 初期化ルーチンの所定領域内状態信号
- 313 入出力制御レジスタ書込信号
- 314 出力データレジスタ書込信号
- 316 アンド回路
- 317 データバス
- 318 リセット信号
- 320 動作モード制御回路
- 400 マイクロコンピュータ
- 401 C P U (中央処理装置)
- 402 書込抑止回路
- 403 タイマ
- 404 R A M
- 405 R O M
- 406 入出力制御レジスタ & アドレスレジスタ
- 407 アドレス入出力I/O 1
- 408 アドレス入出力I/O 2
- 409 入出力制御レジスタ & データレジスタ
- 410 データ入出力I/O
- 411 制御信号I/O
- 413 コントロール信号
- 414 データバス
- 415 入出力制御レジスタ & 制御信号レジスタ
- 416 周辺選択レジスタ
- 500 制御システム
- 501 マイクロコンピュータ
- 502 タイマ
- 503 出力データレジスタ
- 504 周辺選択レジスタ
- 505 入出力制御レジスタ
- 506 書込抑止回路
- 507 セレクタ
- 508 I/Oバッファ
- 509 リセット回路
- 510 C P U (中央処理装置)
- 511 監視信号出力ポート
- 512 リセット信号受入ポート
- 513 ウオッチドッグ
- 514 監視信号
- 515 リセット信号

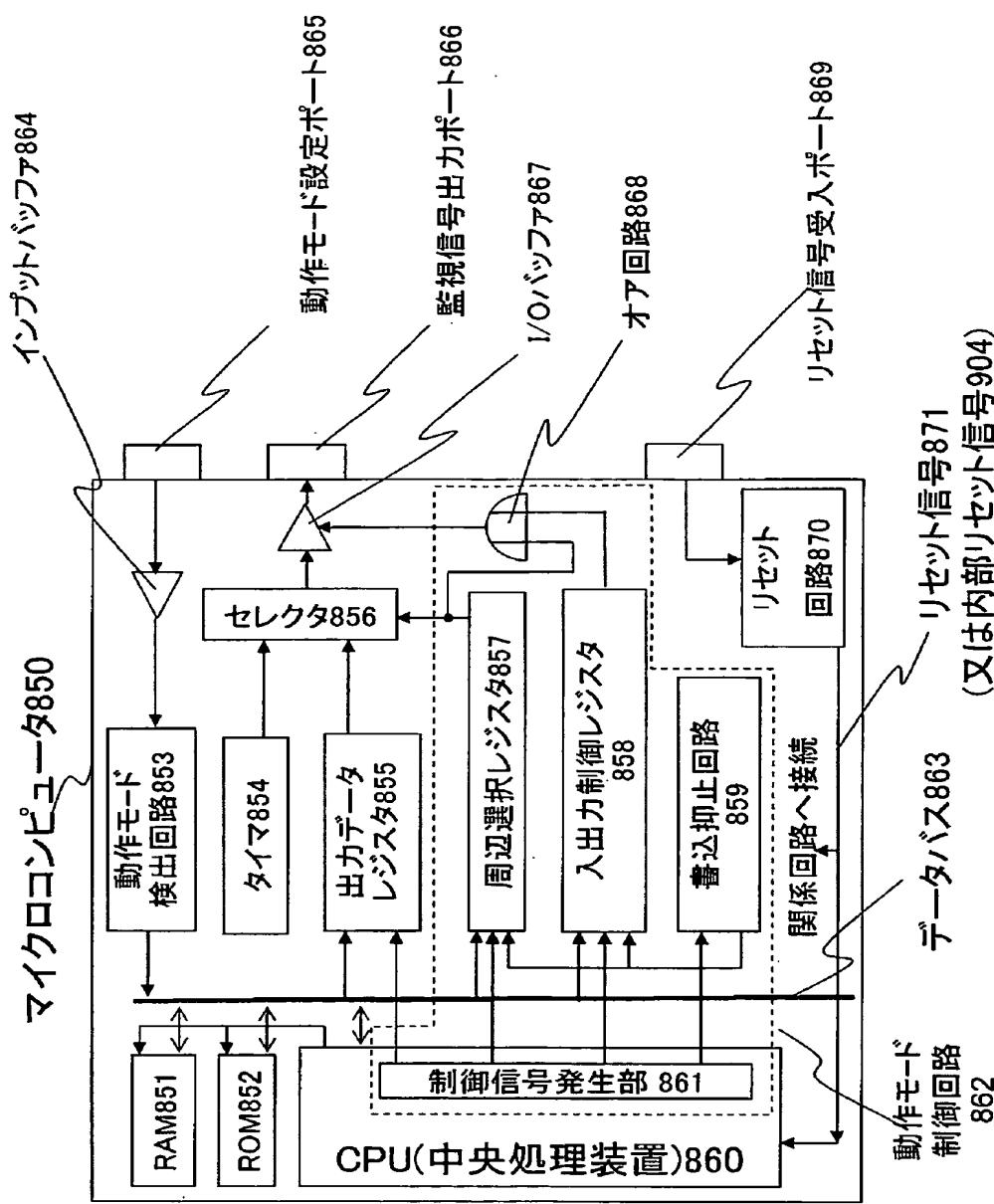
516 RAM  
 517 ROM  
 518 データバス  
 601 入力I/F回路  
 602 マイコン  
 603 電源回路  
 604 遅延回路  
 605 ウオッチドッグタイマ  
 606 ROM  
 607 VCCION/OFF回路  
 608 低電圧リセット回路  
 609 通信LSI  
 610 スリープ/ウェイクアップ信号  
 611 P.RUN信号  
 612 RESET信号  
 613 VCCI  
 614 VCCII  
 615 多入力アンド回路  
 701 CPU(中央処理装置)  
 702 SYSC  
 703 CPG  
 705 ROM  
 706 RAM  
 707 SCI  
 708 タイマ  
 709 IOP8  
 710 IOP7  
 711 IOP6  
 712 IOP5  
 713 IOP4  
 714 IOP3  
 715 IOP2  
 716 IOP1  
 717 内部バス  
 718 書込要求信号  
 801 CPU  
 802 メモリ  
 803 アドレスデコーダ  
 804 プロテクト制御レジスタ  
 805 論理素子  
 806 論理素子  
 807 論理素子  
 808 論理素子  
 809 論理素子  
 810 論理素子  
 811 アドレスデコーダ  
 812 アドレスデコーダ  
 813 アドレスデコーダ  
 814 アドレスデコーダ  
 815 制御レジスタ

816 制御レジスタ  
817 制御レジスタ  
818 制御レジスタ  
819 クロック発生回路  
820 周辺ユニットA  
821 周辺ユニットB  
822 周辺ユニットC  
823 内部バス  
824 A L E  
825 S P C W R  
826 W R  
827 論理素子  
830 プロテクト制御回路  
850 マイクロコンピュータ  
851 R A M  
852 R O M  
853 動作モード検出回路  
854 タイマ  
855 出力データレジスタ  
856 セレクタ  
857 周辺選択レジスタ  
858 入出力制御レジスタ  
859 書込抑止回路  
860 C P U (中央処理装置)  
861 制御信号発生装置  
862 動作モード制御回路  
863 データバス  
864 I / O バッファ  
865 動作モード設定ポート  
866 監視信号出力ポート  
867 I / O バッファ  
868 オア回路  
869 リセット信号受け入れポート  
870 リセット回路  
871 リセット信号  
879 リセット信号  
880 マイクロコンピュータ  
881 R A M  
882 R O M  
883 動作モード検出回路  
884 周辺機能回路  
885 出力データレジスタ  
886 動作モード制御回路  
887 入出力制御レジスタ  
888 書込抑止回路  
889 リセット回路  
890 C P U (中央処理装置)  
891 制御信号発生部  
892 データバス  
893 I / O バッファ

- 894 動作モード設定ポート
- 895 周辺機能回路用ポート
- 896 監視信号出力ポート
- 897 I/Oバッファ
- 898 リセット信号受入ポート
- 899 I/Oバッファ
- 900 外部リセット信号
- 901 監視信号
- 902 ウオッチドックタイマからのリセット信号
- 903 初期化モジュール
- 904 内部リセット信号
- 905 ウオッチドックタイマモジュール
- 906 周辺機能1モジュール
- 907 タスク制御モジュール
- 908 周辺機能2モジュール
- 909 モード設定モジュール
- 910 表示制御モジュール
- 915 ウオッチドックタイマからのリセット
- 916 リセットエントリー
- 917 初期化モジュール
- 918 ウオッチドックタイマ制御モジュール
- 921 タスク制御モジュール
- 923 モード設定モジュール
- 925 周辺機能制御モジュール

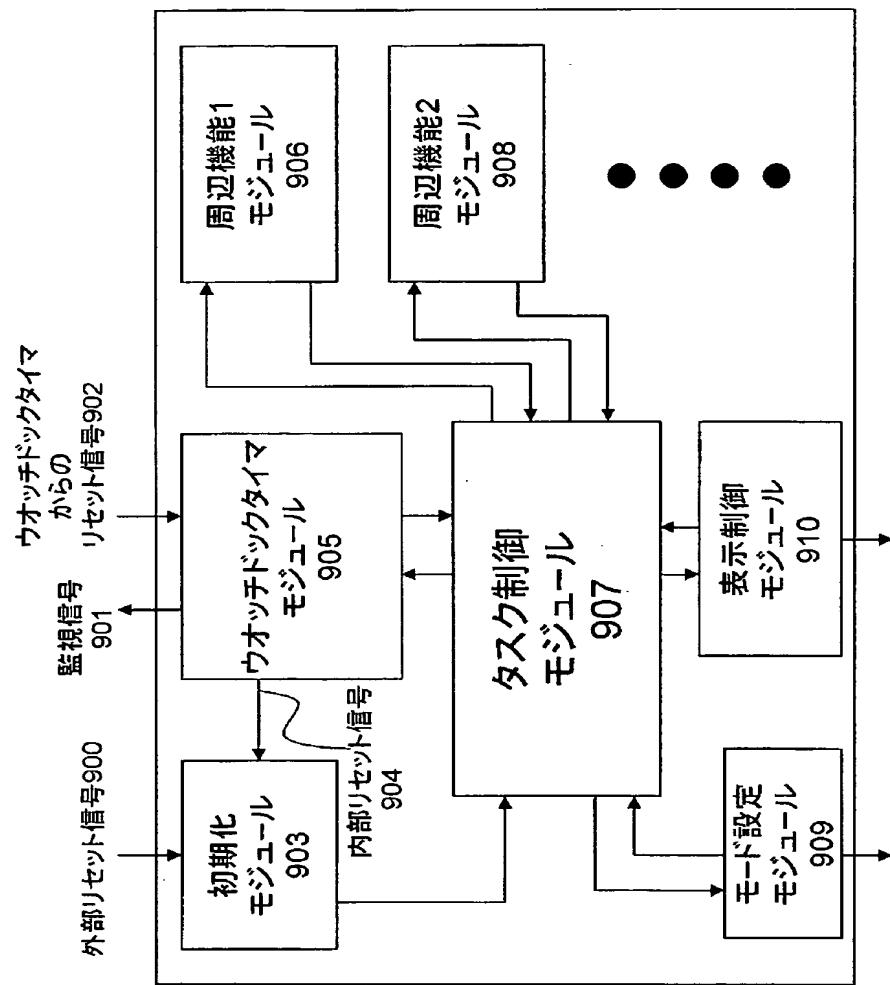
【書類名】図面  
【図1】

図1:第1の実施形態に係るマイクロコンピュータ全体回路の概略図



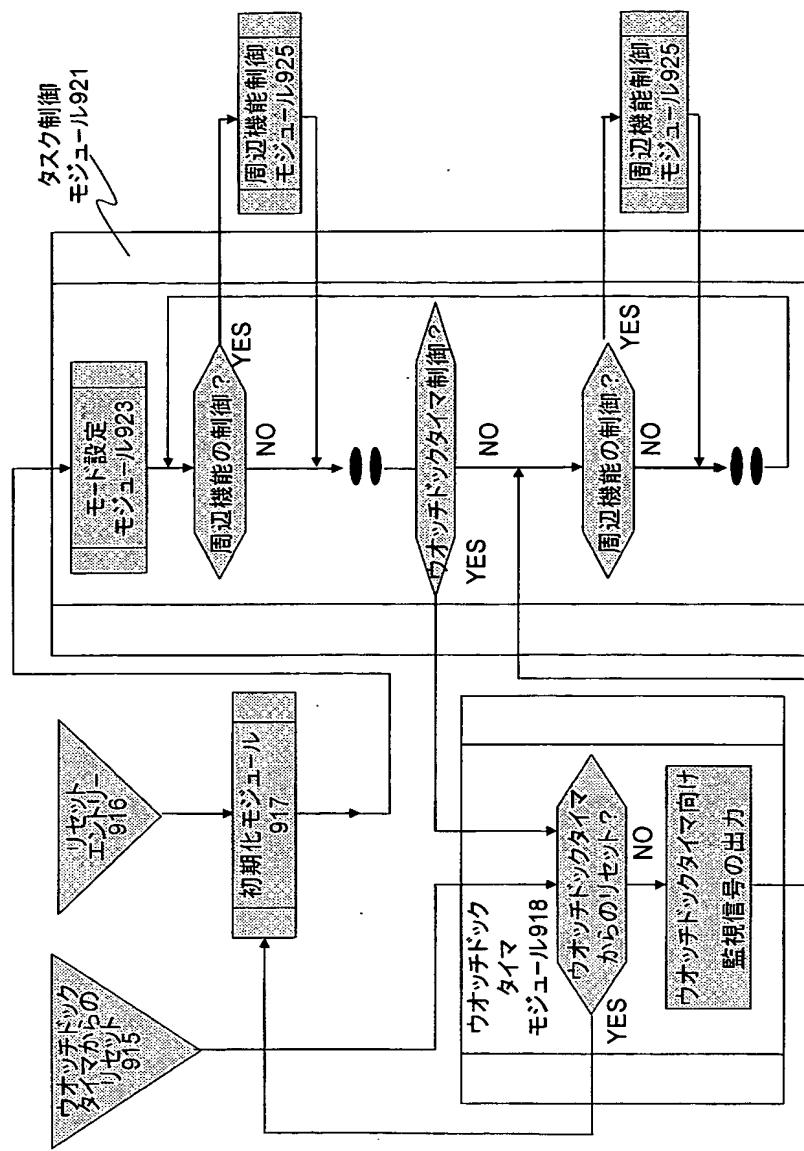
【図2】

図2:第1の実施形態に係るマイクロコンピュータの制御プログラム概略図



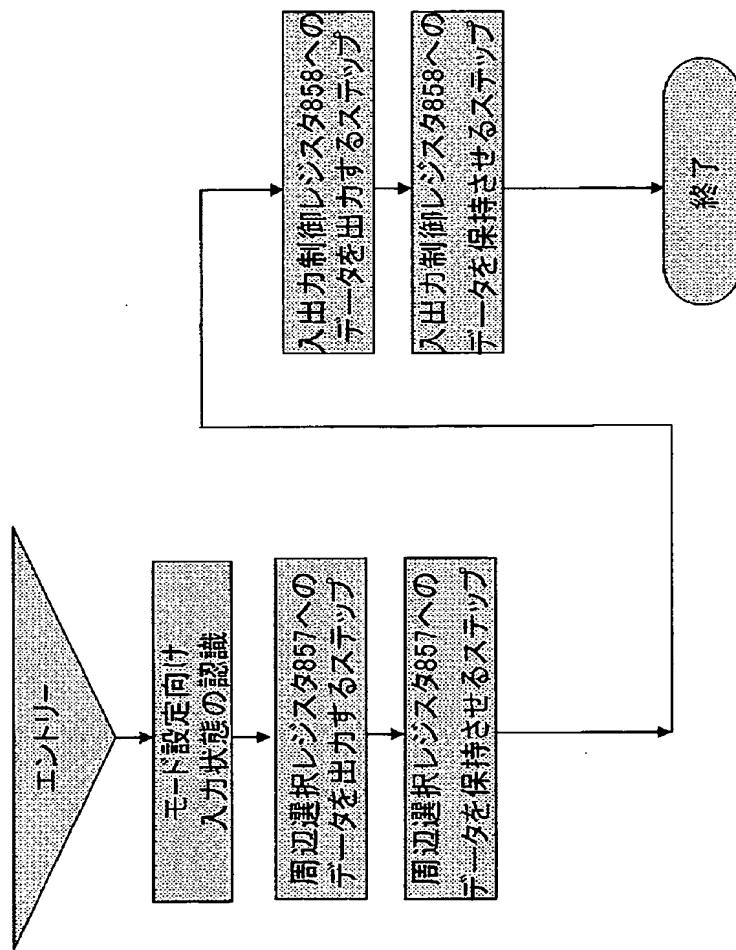
【図3】

図3:第1の実施形態に係る制御プログラムのフローチャート概略図



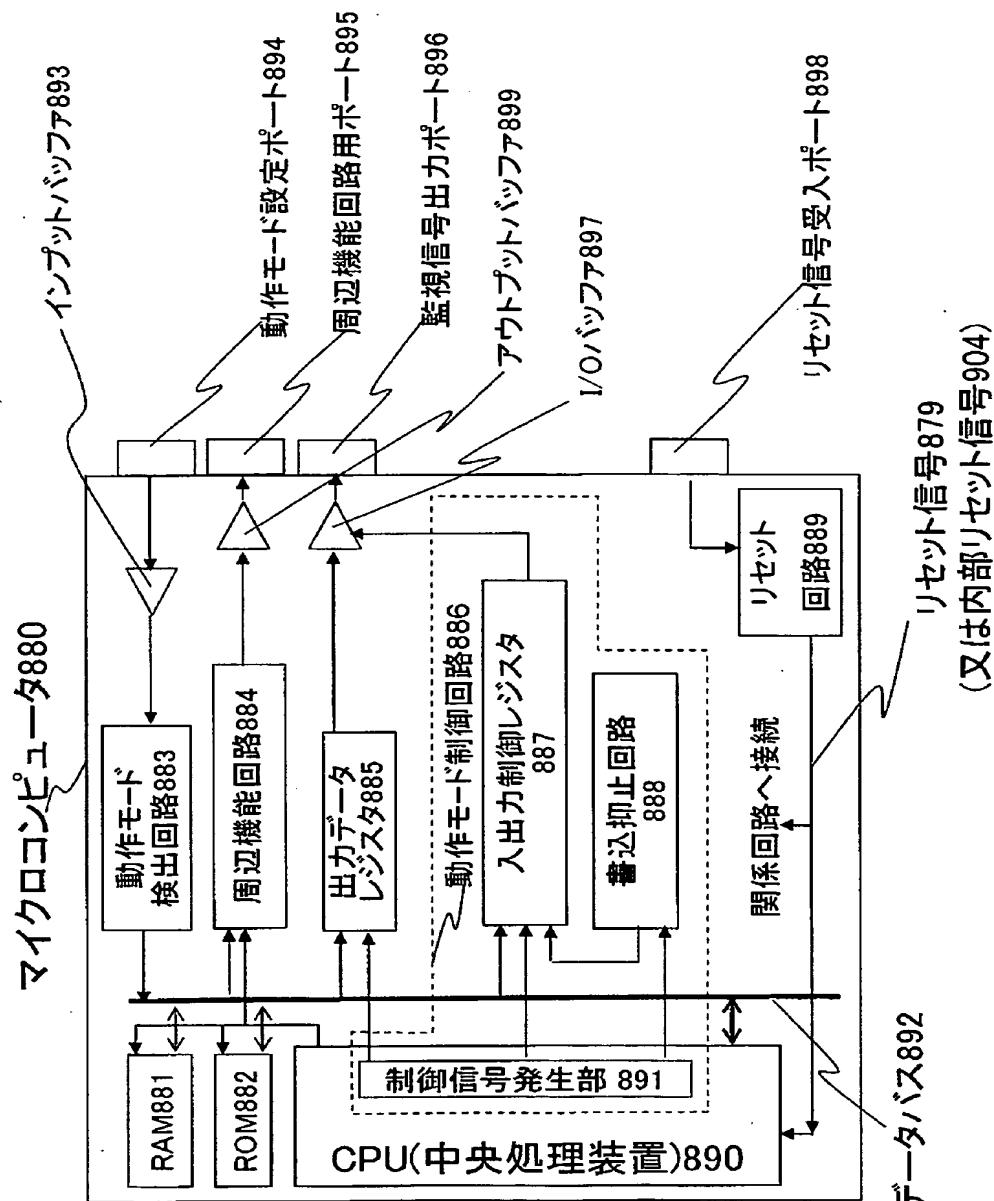
【図4】

図4: 第1の実施形態に係るモード設定ルーチンのフローチャート概略図



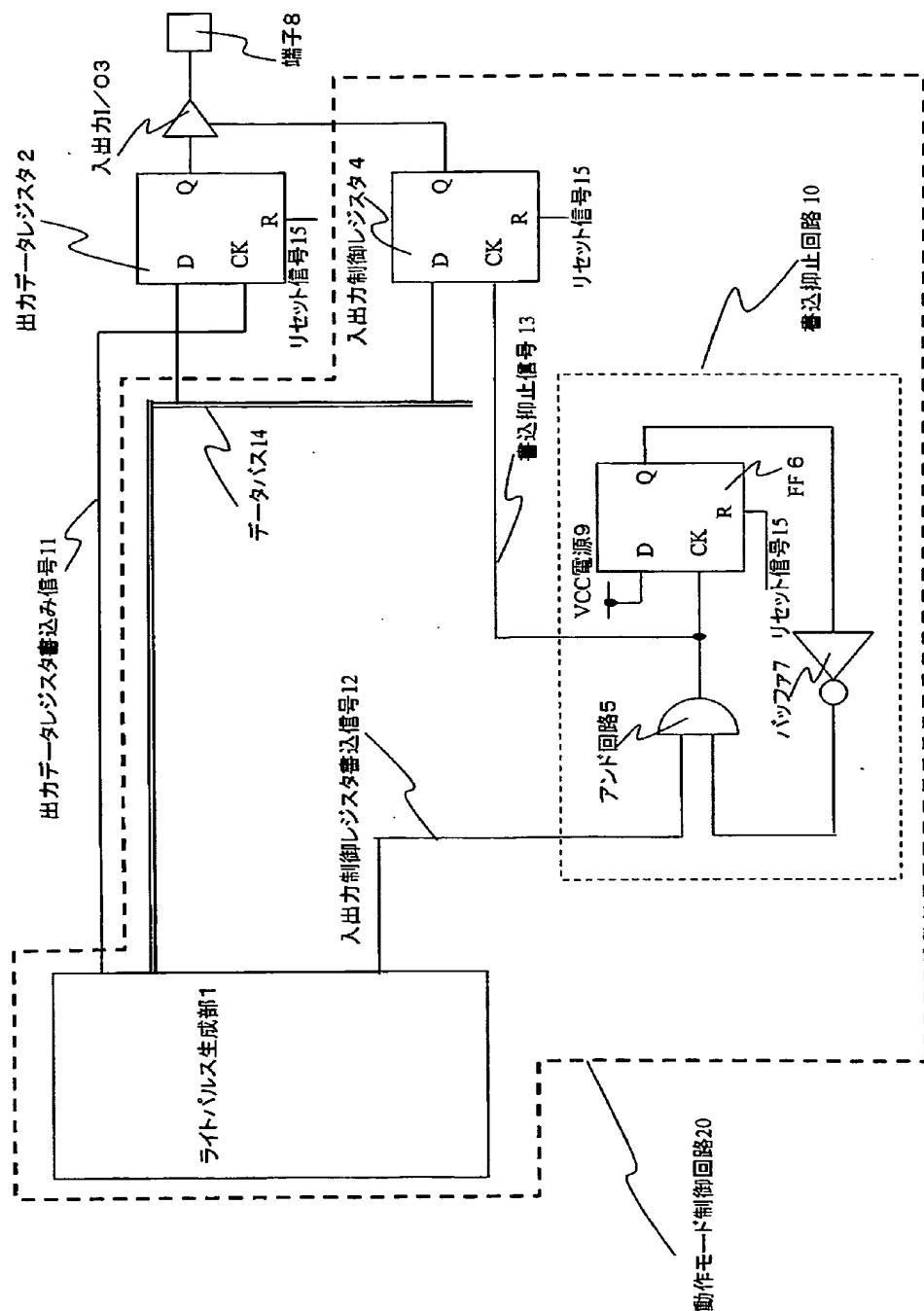
【図5】

図5:第2の実施形態に係るマイクロコンピュータ全体回路の概略図



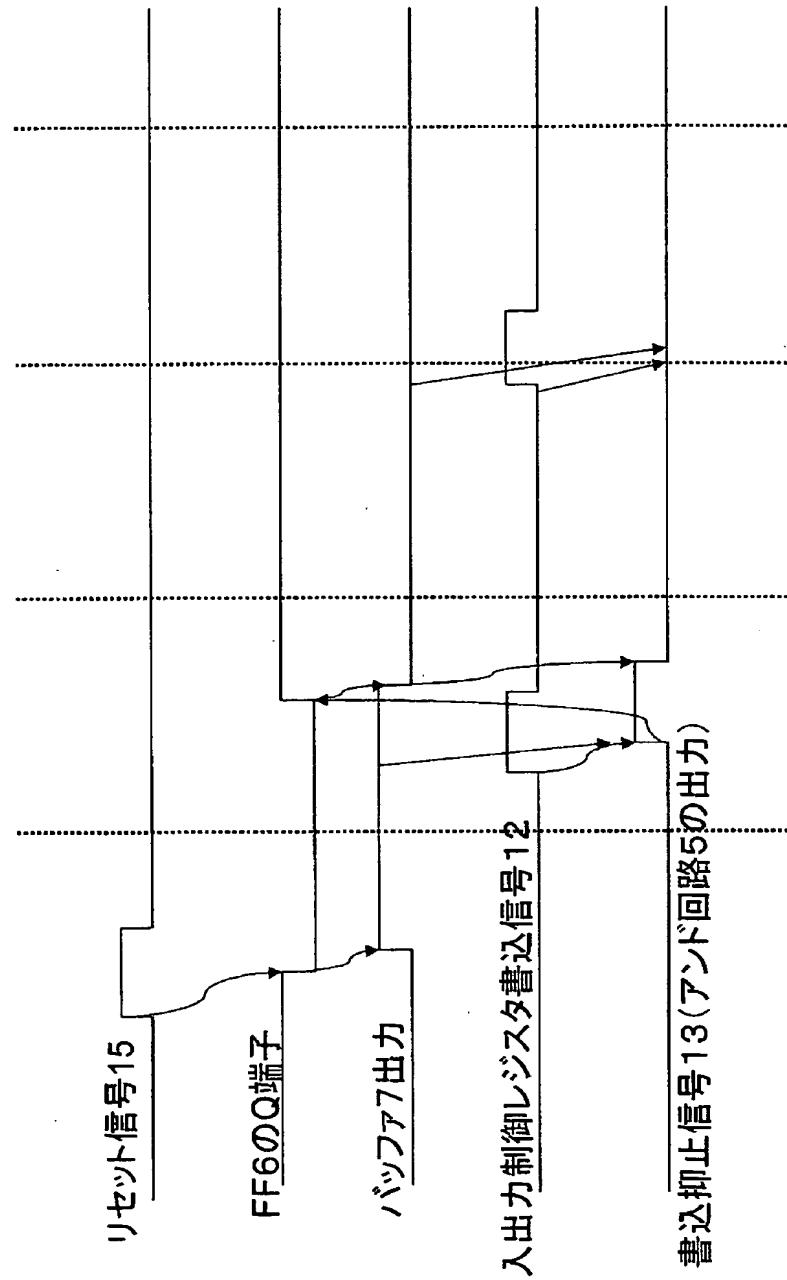
【図6】

## 図6:第3の実施形態の概略図

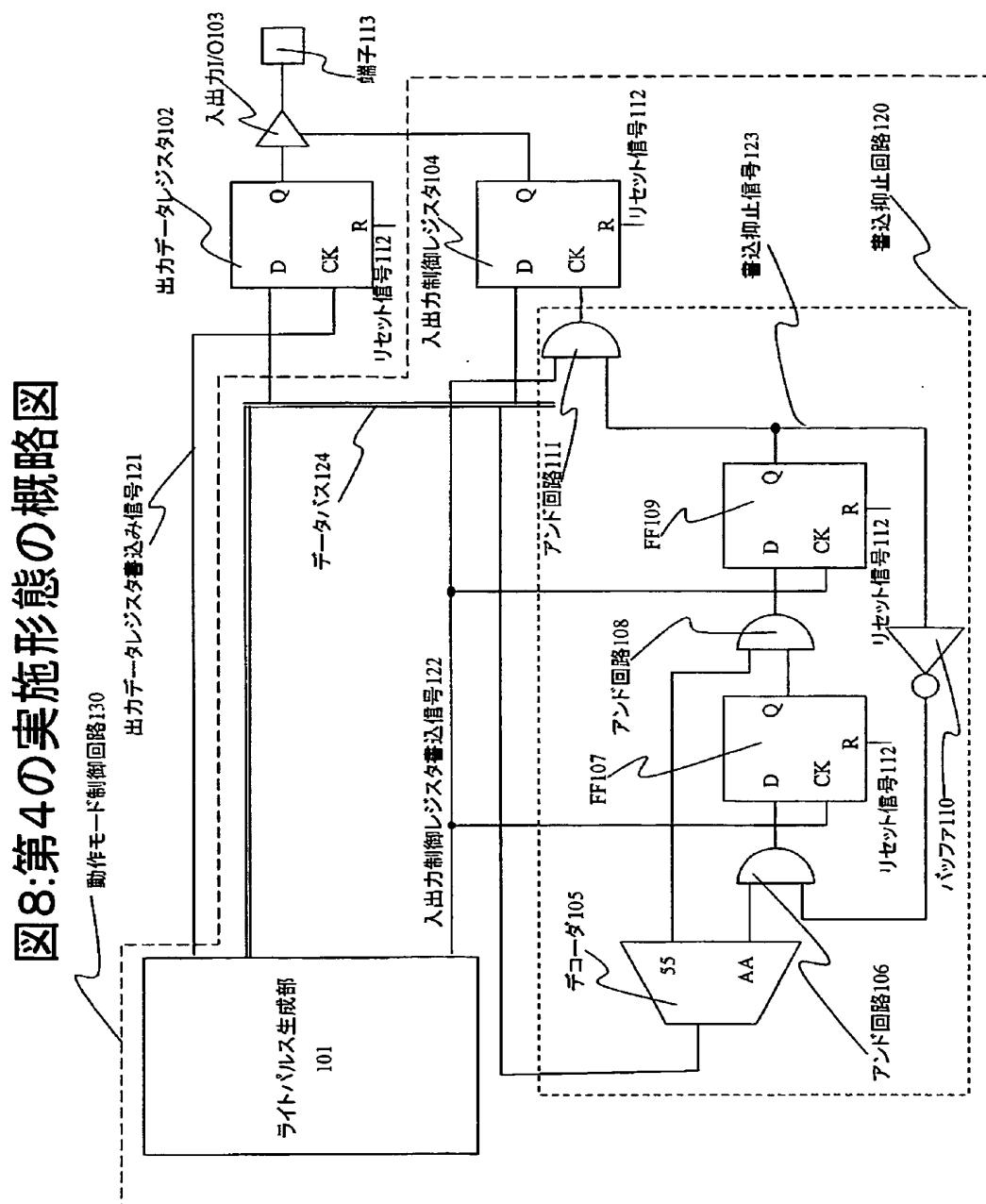


【図7】

図7:第3の実施形態の書込抑止回路の動作波形図

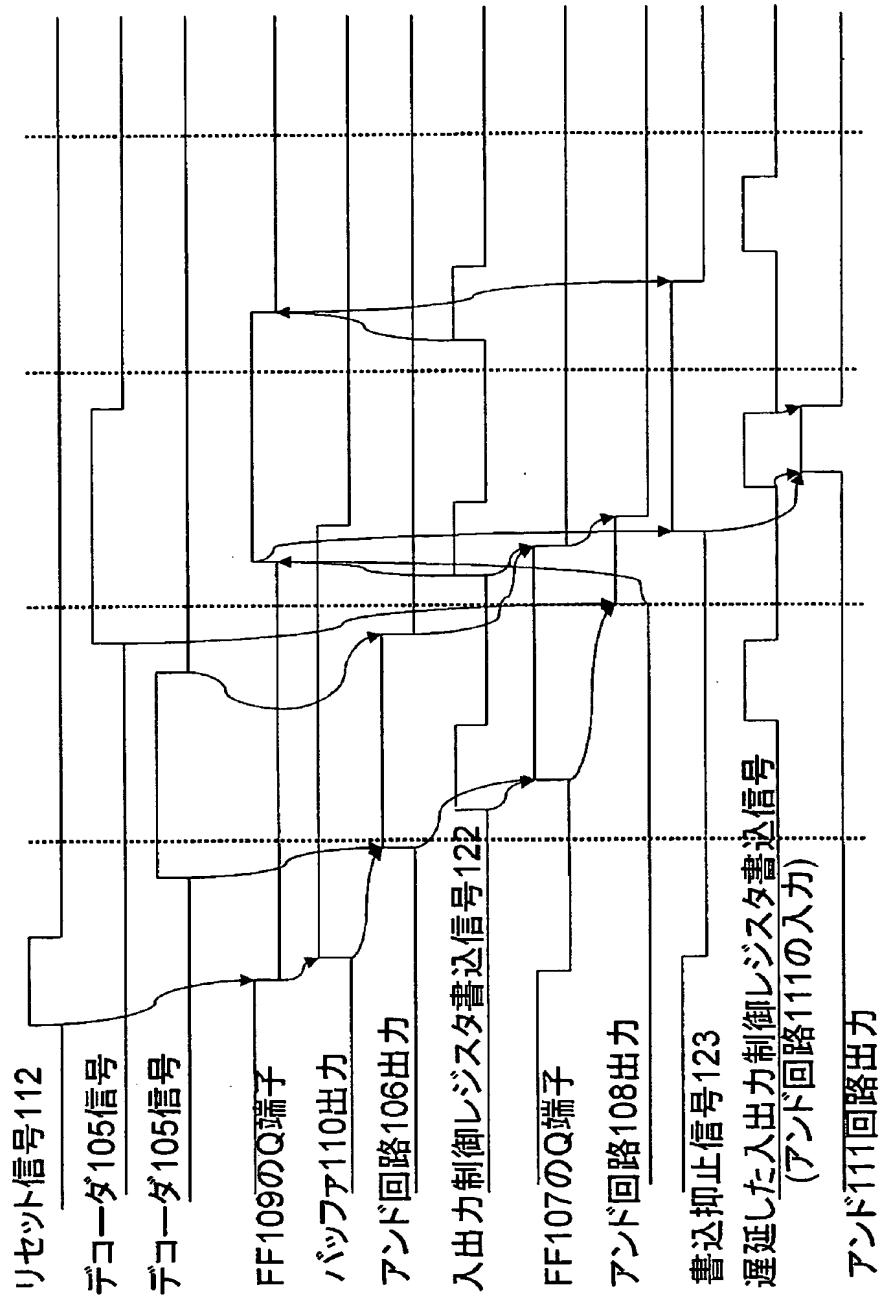


〔図8〕



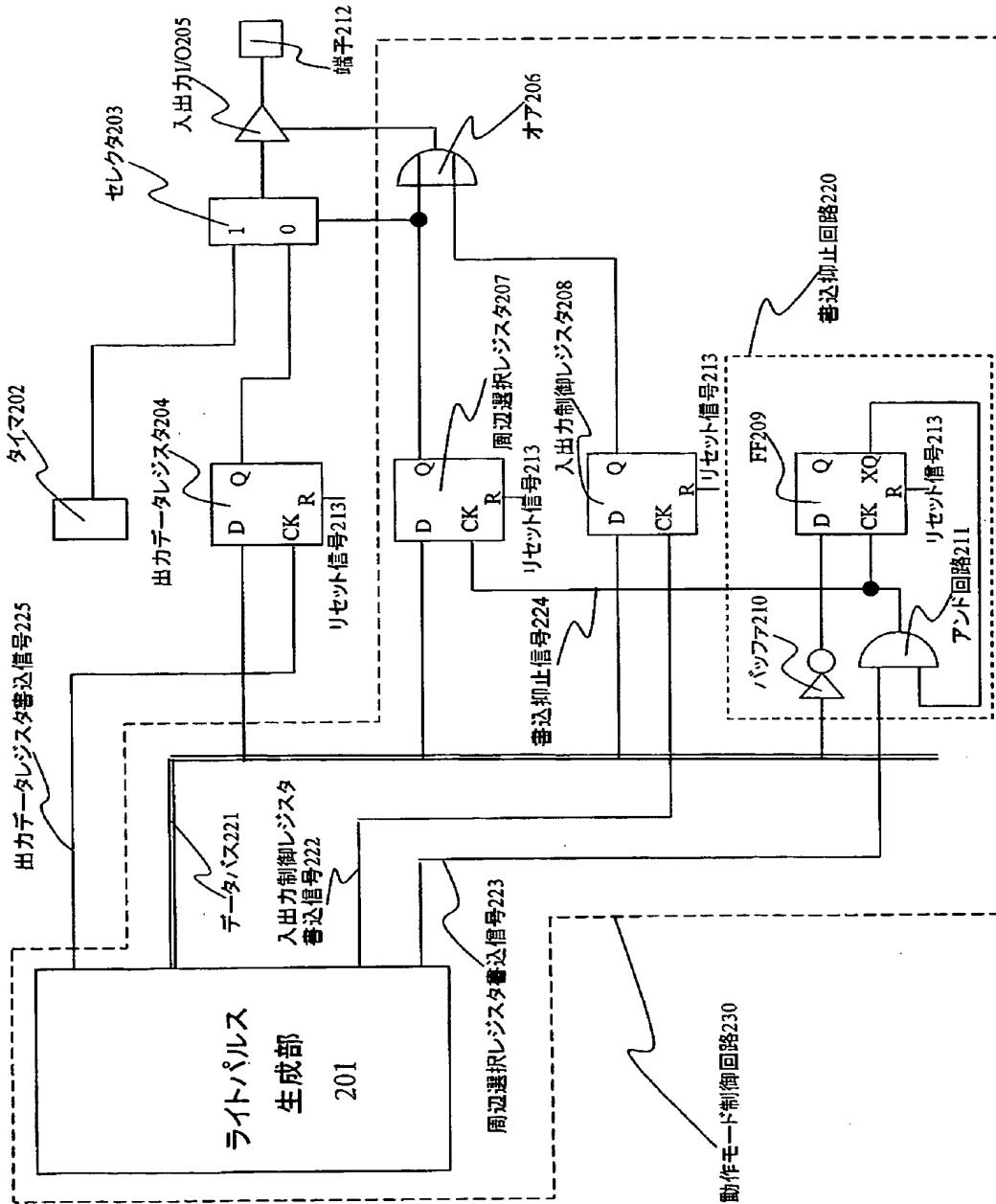
【図9】

図9:第4の実施形態の書き込み抑止回路の動作波形図



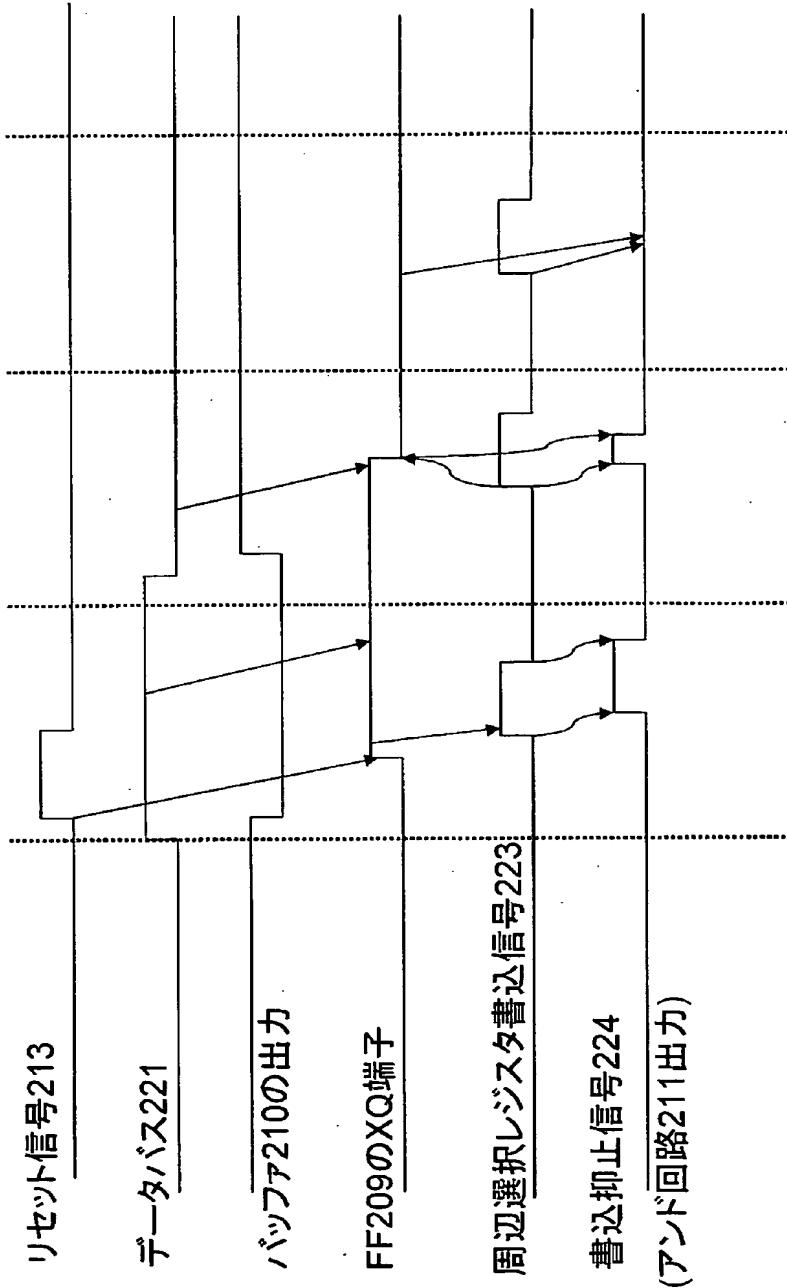
【図10】

図10:第5の実施形態の概略図



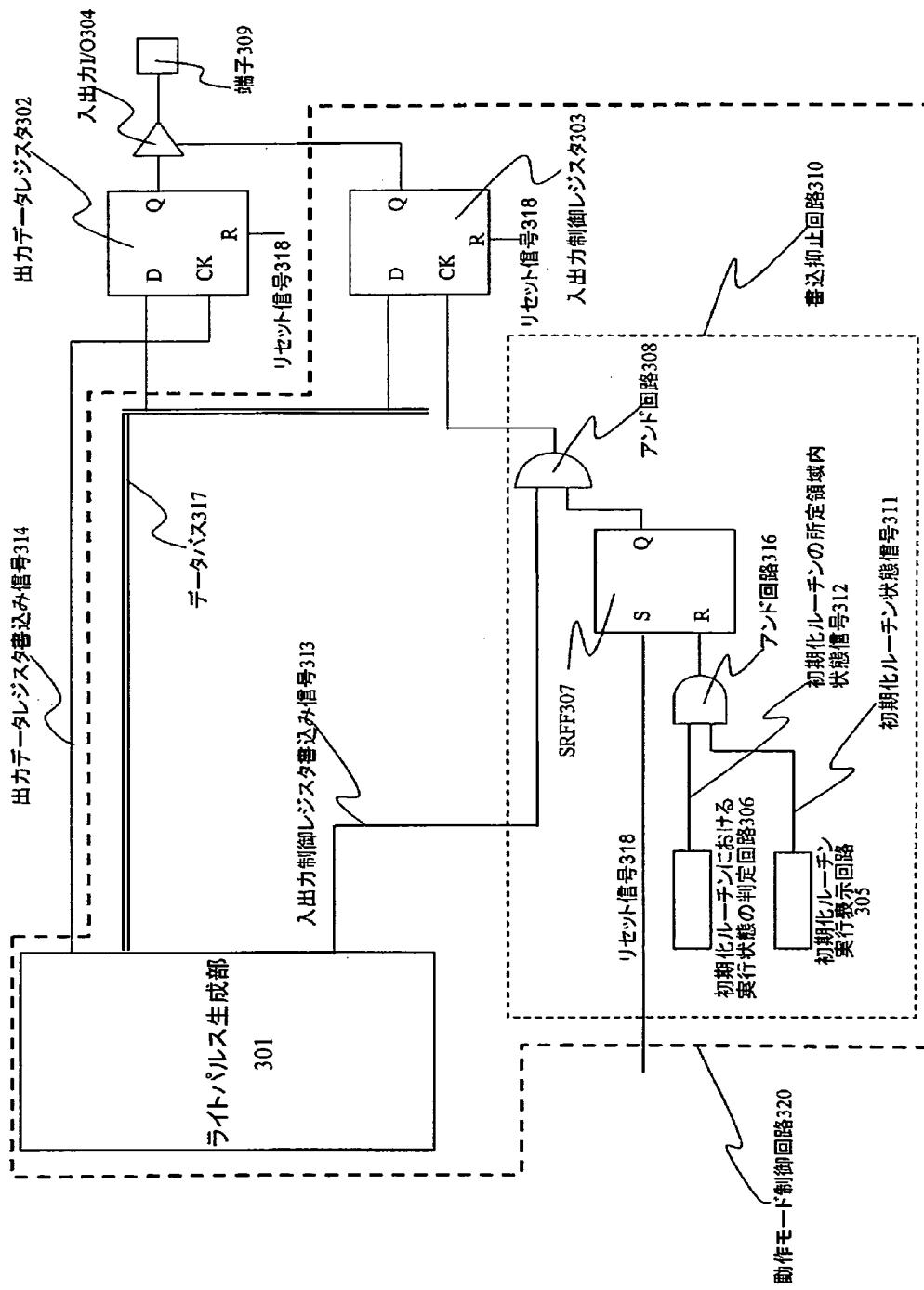
【図11】

図11:第5の実施形態の書込抑止回路の動作波形図



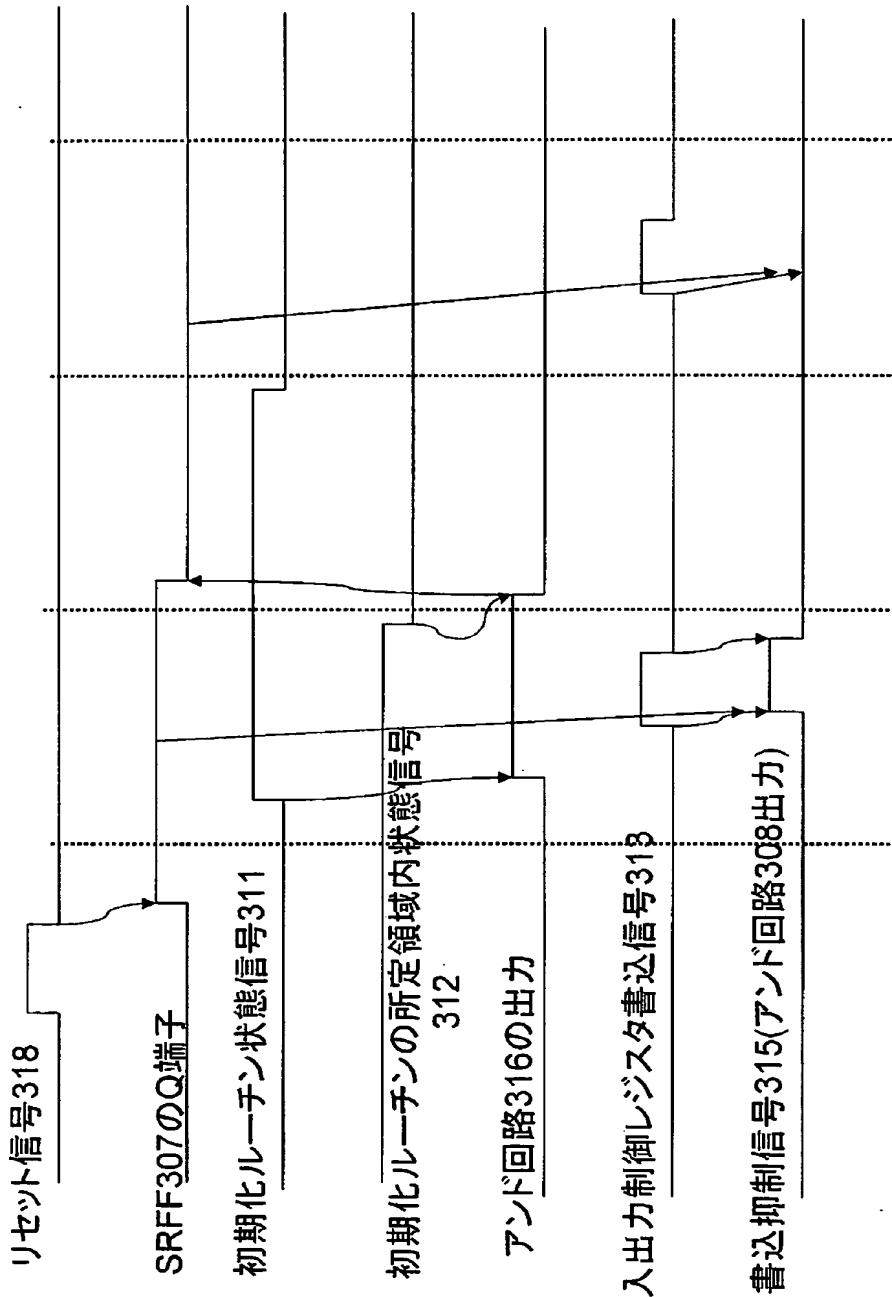
【図12】

図12: 第6の実施形態の概略



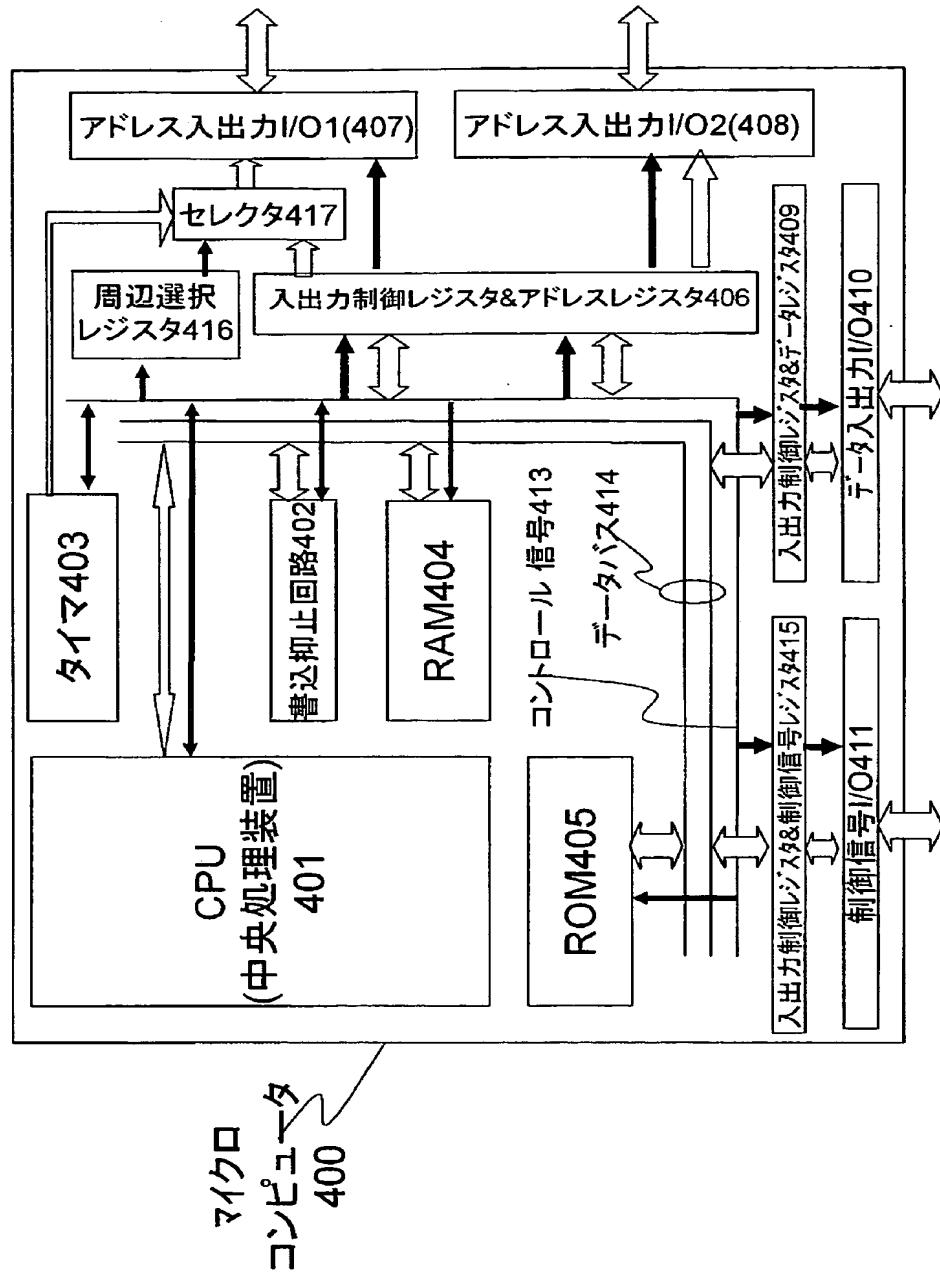
【図13】

図13:第6の実施形態の書き込み抑止回路の動作波形図



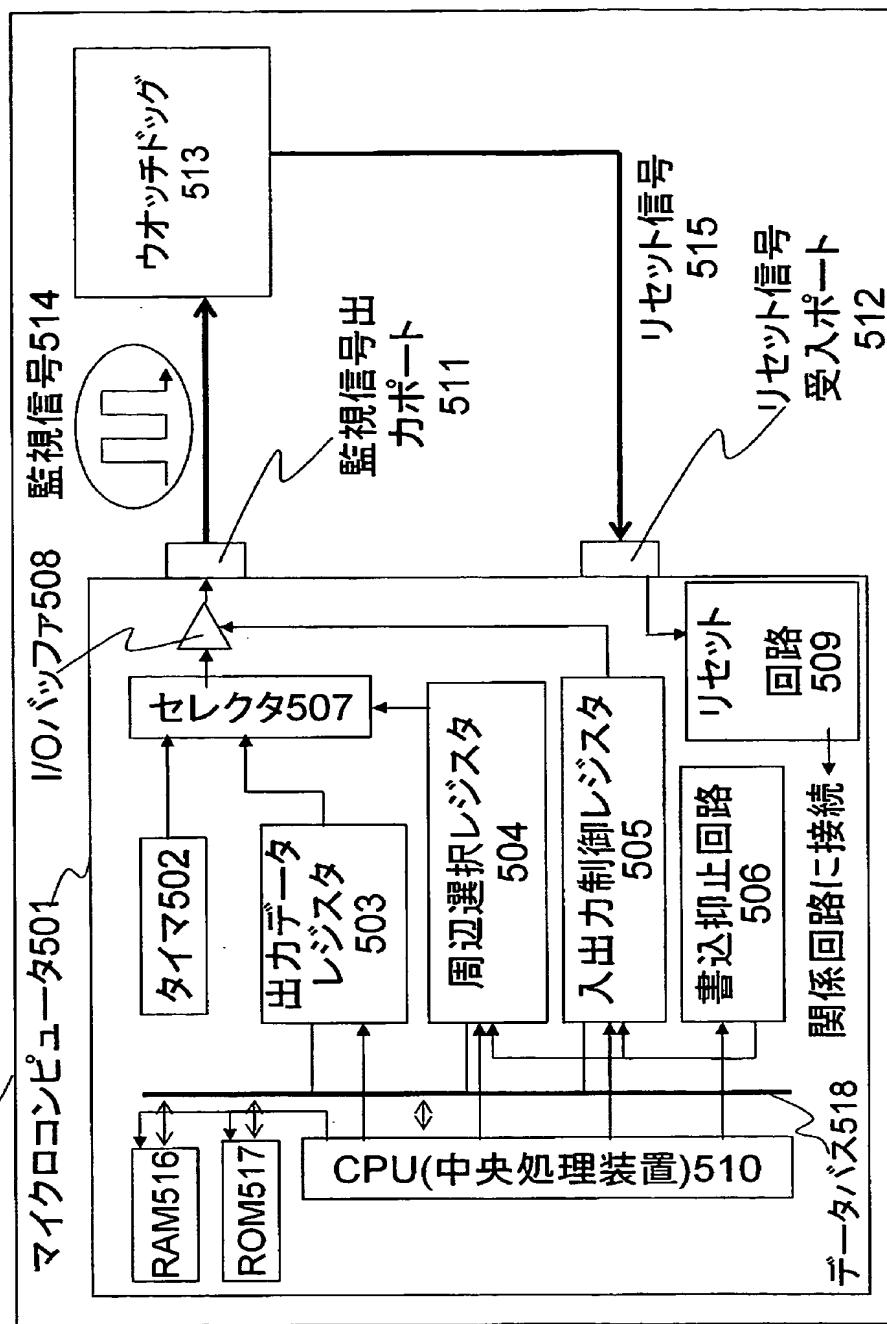
【図14】

図14:第7の実施形態(マイクロコンピュータ全体回路の概要)の概略図



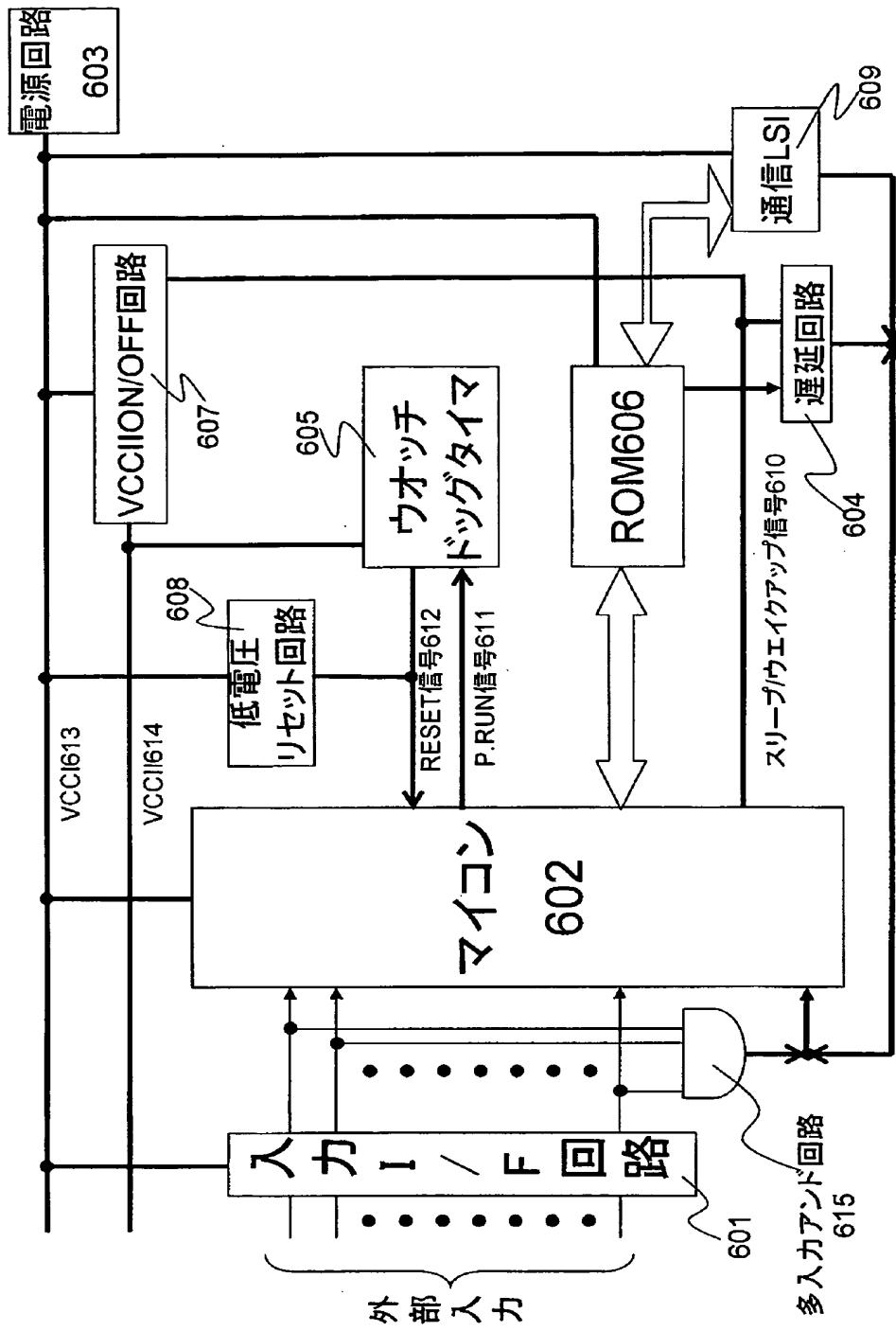
【図15】

図15:第8の実施形態(制御システム)の概略図

制御システム  
500

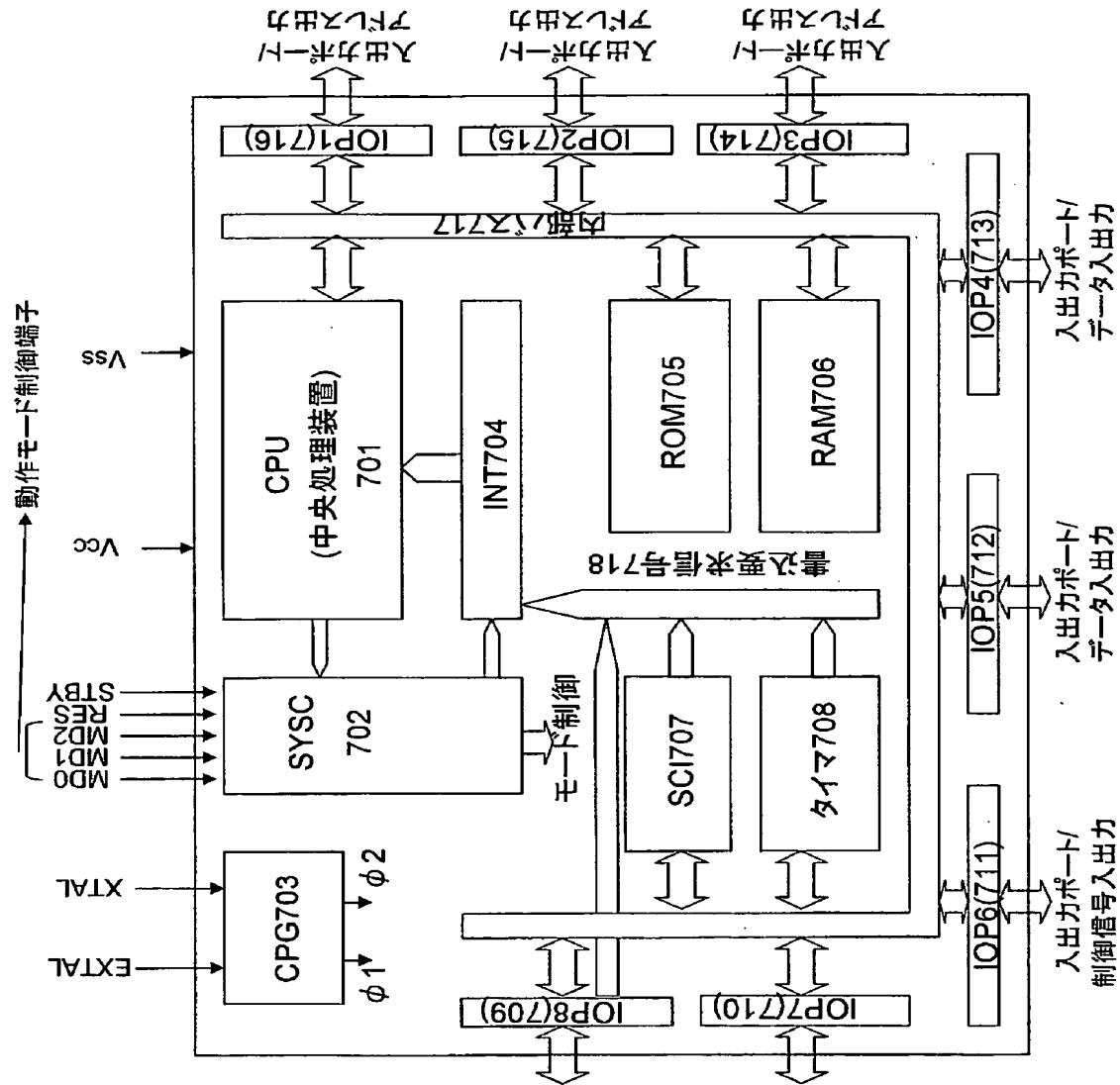
【図16】

図16:従来例1(車両マイコンシステム)の概略図



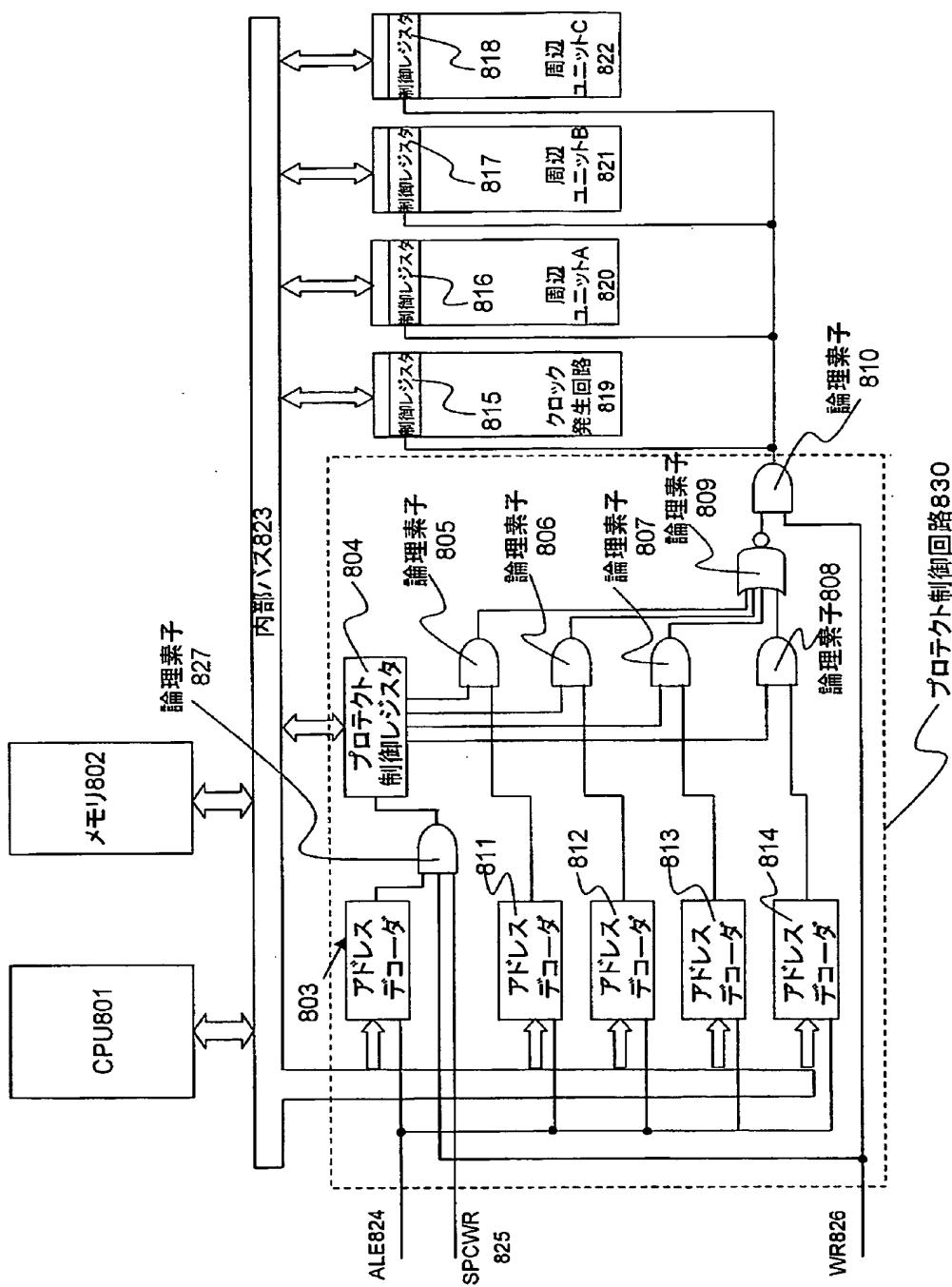
【図17】

図17:従来例2(データ処理装置)の概略図



【図18】

図18:従来例3(マイクロコンピュータ)の概略図



【書類名】要約書

【要約】

【課題】 本発明は、入出力属性を決定する制御レジスタ及び周辺機能を選択するレジスタを内蔵し、前記レジスタを動作モード制御回路により誤書き込みを防止するために制御したことを特徴とするマイクロコンピュータ及び前記マイクロコンピュータとウォッチドッグから構成される制御システムに関する。

【解決手段】 中央処理装置と、複数の周辺機能と、入出力 I/O と、出力データが設定される入出力レジスタと、入出力属性を決定する入出力制御レジスタを有し、周辺機能の選択をする周辺選択レジスタを有し、所定の設定方法により設定する以外の方法によっては周辺選択レジスタ又は入出力制御レジスタが書き換えられないようにする書き抑止回路を有する動作モード制御回路と、前記周辺機能からの出力及び入出力制御レジスタからの出力のうち一つを選択するセレクタとから構成されているマイクロコンピュータ及びそれを利用した制御システム。

【選択図】 図 1

特願 2004-017705

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社